

## Patrice Delpy

---

**From:** Dominique Romeo  
**Sent:** Thursday, June 10, 2021 5:37 PM  
**To:** Alexandre Apcher; Bertrand Clou; Berengere Le Men; Geraldine Saint Upery  
**Cc:** Fabien Foulon; Emile Marcos; Patrice Delpy  
**Subject:** RE: Status PowerTop

L équipe de choc !!!! bien joué les gars !!

---

**From:** Alexandre Apcher  
**Sent:** jeudi 10 juin 2021 17:32  
**To:** Bertrand Clou <Bertrand.Clou@onsemi.com>; Berengere Le Men <Berengere.LeMen@onsemi.com>; Geraldine Saint Upery <Geraldine.SaintUpery@onsemi.com>  
**Cc:** Fabien Foulon <fabien.foulon@onsemi.com>; Emile Marcos <Emile.Marcos@onsemi.com>; Dominique Romeo <dominique.romeo@onsemi.com>; Patrice Delpy <Patrice.Delpy@onsemi.com>  
**Subject:** FW: Status PowerTop

Pour info : on est dans le game et on s'arrache pour atteindre l'objectif ...

Patrice merci pour ce résumé, merci pour ton implication sans faille et ton super job , tu as fait un super passe à Fabien qui n'a plus qu'à conclure le TOP DCDC qui fera a son tour fera une dernière passe à Emile qui finira le job pour un accouchement ☺ autour du 25 juin. Merci d'avance les gars .

Pour ma part j'ai fini la vue ring DRC LVS clean et normalement compatible 100% avec l'IP buck, j'ai aussi géré les modifs liée à la secondary ESD dans les blocs 'synci\_top' 'pin\_interface' et je vais m'attaquer à la gestion des erreurs DRC dès demain pour ne pas avoir de mauvaise surprise.

C'était le point info du jeudi soir

Merci

Alex

---

**From:** Patrice Delpy <[Patrice.Delpy@onsemi.com](mailto:Patrice.Delpy@onsemi.com)>  
**Sent:** Thursday, June 10, 2021 3:38 PM  
**To:** Fabien Foulon <[fabien.foulon@onsemi.com](mailto:fabien.foulon@onsemi.com)>; Dominique Romeo <[dominique.romeo@onsemi.com](mailto:dominique.romeo@onsemi.com)>; Emile Marcos <[Emile.Marcos@onsemi.com](mailto:Emile.Marcos@onsemi.com)>; Alexandre Apcher <[Alexandre.Apcher@onsemi.com](mailto:Alexandre.Apcher@onsemi.com)>; Henrique Fernandes <[Henrique.Fernandes@onsemi.com](mailto:Henrique.Fernandes@onsemi.com)>  
**Subject:** Status PowerTop

Aux petits loulou,

Le bloc POWER est fini :

- **Voici la liste des erreurs DRC qui doivent être dérogées par l'équipe techno ONC18gen2 de gresham.**  
Ces dernières sont liées uniquement au fait que l'on utilise les ouvertures passivation pour accéder au Copper Pillar sachant que n'autre circuit n'est suit pas un process de bonding classique.

Filter: Show Unresolved ▾ Power, 1614051 Results (in 9 of 5471 Checks)		
Check / Cell	Results	Flat
✖ Check DoNotUseFuture_rsicre2	11	44
✖ Check paleg_el_de_pads	144	144
✖ Check mt30b_to_mt30b_de_pads	154	154
✖ Check mt30b_xw_de_pads	224	224
✖ Check mt30bb_xw_de_pads	149	149
✖ Check pa_ou_vt_de_pads	299510	29951
✖ Check vtb_us_mtbb_de_pads	1328	1921
✖ Check mtb_ex_vtb_de_pads	628	628
✖ Check vtb_ou_vtbb_de_pads_multiviarow	1311903	16866

- Concernant le LVS, la netlist est OK hormis les 21 ouvertures passive qui sont reconnues comme des pads qui ne sont pas dans le schématique.

Comparison Results ✕			
Layout Cell / Type	Source Cell	Count	Nets
✖ Power	Power	21	1167L, 1167S
✖ Discrepancies		21	
✖ Incorrect Instances		21	
✖ Discrepancy #1			
✖ Discrepancy #2			
✖ Discrepancy #3			
✖ Discrepancy #4			
✖ Discrepancy #5			
✖ Discrepancy #6			
✖ Discrepancy #7			
✖ Discrepancy #8			
✖ Discrepancy #9			
✖ Discrepancy #10			
✖ Discrepancy #11			
✖ Discrepancy #12			
✖ Discrepancy #13			

  

Cell Power (21 Incorrect Instances)		
LAYOUT NAME	SOURCE NAME	
✖ Discrepancy #1 in Power		
X4(112.400,715.555)	ONC18GEN2__PAD_M6TOP	** missing instance **
✖ Discrepancy #2 in Power		
X5(907.360,598.715)	ONC18GEN2__PAD_M6TOP	** missing instance **
✖ Discrepancy #3 in Power		
X6(1783.380,598.715)	ONC18GEN2__PAD_M6TOP	** missing instance **
✖ Discrepancy #4 in Power		

Le PowerTop vient d’être assemblé, afin d’intégrer ces 2 blocs j’ai légèrement déplacé le current\_sense de X = 2.78um vers la gauche et descendu en Y de 3.285um (comme convenu avec Fabien et Dominique).

Il faudra que Fabien réaménage une partie du bus M2 sur la gauche du MPC\_Ripple).

Sinon, j’ai fait le tour sans trouver de problèmes bloquant et je pense que les interconnexions avec la hiérarchie supérieure peuvent se faire s’en trop de difficulté. Si besoin, on peut bien sur faire des adaptations qui peuvent nous faciliter le routage et qui ont une cohérence topologique & perf électrique.

- Pour le DRC, on retrouve les 9 catégories d’erreurs citées précédemment (Power).
- Pour le LVS, idem on obtient :

Comparison Results

Layout Cell / Type	Source Cell	Count	Nets
<div> <div> ✖ Power_top </div> <div> ✖ Discrepancies </div> <div> ✖ Incorrect Instances </div> </div>	Power_top	21	3135L, 3135S

N’oublier par de faire un update de votre workarea pour visualiser les derniers checkins.

Cordialement,

Patrice