



CONSERVATOIRE NATIONAL DES ARTS ET MÉTIERS
CENTRE REGIONAL ASSOCIÉ DE TOULOUSE

**Examen probatoire
du diplôme d'ingénieur C.N.A.M.
en ELECTRONIQUE**

présenté par Patrice Delpy

Jeu de masque d'un circuit intégré analogique

Février 2005

TABLE DES MATIERES

| | |
|---|-----------|
| INTRODUCTION | 1 |
| PARTIE I : COURSE A L'INTEGRATION | 1 |
| I.1 Outils et méthodes de conception des circuits intégrés complexes | 2 |
| I.2 La maîtrise des coûts de conception | 3 |
| I.3 Cycle de conception d'un circuit VLSI | 5 |
| I.4 Technologie polyvalente | 5 |
| I.5 Etapes physiques | 7 |
| I.6 Notion de placement | 8 |
| I.7 Organisation d'une puce – niveaux de hiérarchie | 10 |
| I.8 Comportement thermoélectrique | 10 |
| PARTIE II : REGLES DE DESSIN DES MASQUES | 11 |
| II.1 La vérification de la structure | 12 |
| II.2 Principes fondamentaux liés au routage et au compactage | 12 |
| II.3 Principes à la base des circuits robustes | 13 |
| II.4 Principe de similitude | 14 |
| PARTIE II: LES 10 REGLES ELEMENTAIRES | 15 |
| PARTIE III : CONNEXIONS CRITIQUES | 23 |
| III.1 Arbre d'horloge | 23 |
| III.2 Mesure d'une d.d.p | 23 |
| III.3 Alimentation distribuée → routage en étoile (star routing) | 24 |
| III.4 Contraintes d'espacement des connexions | 24 |
| III.5 Métallisation des transistors de puissances | 25 |
| III.6 Minimisation des capacités parasites ("Cross-talk, Cross-over") | 27 |
| PARTIE IV : EFFETS PARASITES | 28 |
| IV.1 Le phénomène de latch-up | 28 |
| IV.2 Effet antenne | 29 |
| IV.3 Electromigration - Contrainte sur la largeur des fils | 30 |
| IV.4 Interconnexions par une couche enterrée | 31 |
| IV.5 Eléments et composants parasites | 31 |
| PARTIE V : VERIFICATION DE LA CONCEPTION | 34 |
| CONCLUSION ET PERSPECTIVES: | 35 |
| BIBLIOGRAPHIE : | 37 |
| LEXIQUE: | 37 |

INTRODUCTION

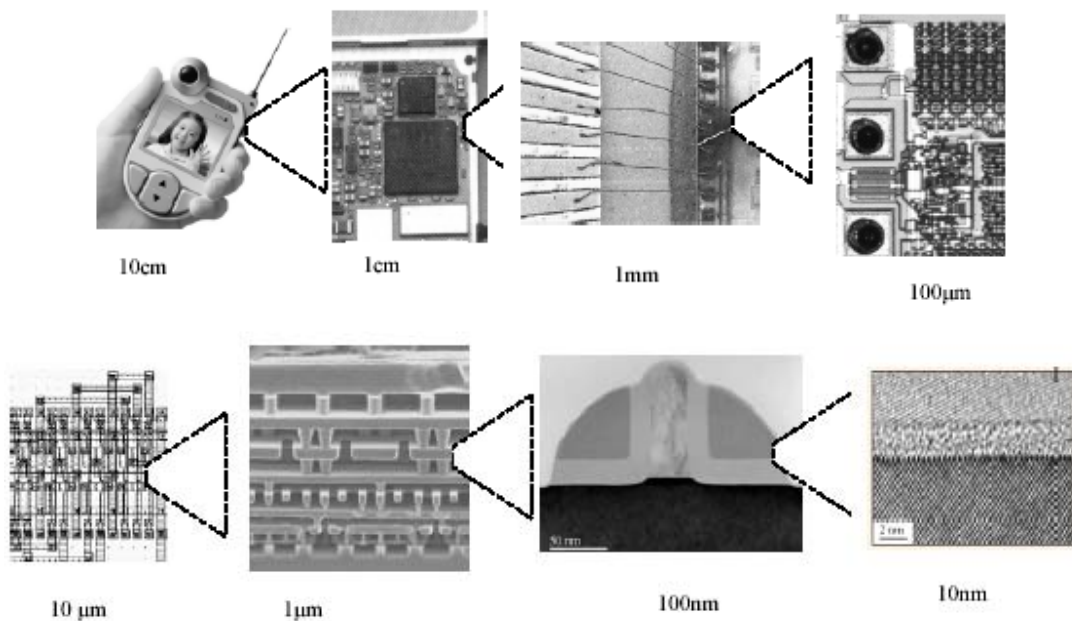
La microélectronique est un secteur qui évolue très vite, les besoins ainsi que les solutions proposées changent très souvent. De manière générale la plupart des étapes de conception tendent à être automatisées afin de gagner du temps et surtout de l'argent.

Le secteur de la microélectronique analogique reste en marge de cette évolution car les contraintes mises en jeu ne peuvent être prises en charge par un outil automatisé ou que très partiellement. En effet, un circuit ASIC est dit « full custom » car il est dédié à une seule application qui possède ses propres besoins, contrainte et un cahier des charges unique.

L'objectif de ce document est de présenter de façon rétrospective les démarches à suivre ainsi que les points essentiels à prendre en compte lors de la réalisation du jeu de masques d'un circuit intégré analogique.

Dans ce document, je m'attacherai plus particulièrement à décrire les principales techniques d'intégration utilisées dans une application de puissance de type SMART POWER, technologie où cohabitent sur le même substrat des composants de puissance haute tension (dans la gamme de 80V, avec un courant max de 10A) et des composants de commande basse tension de type CMOS.

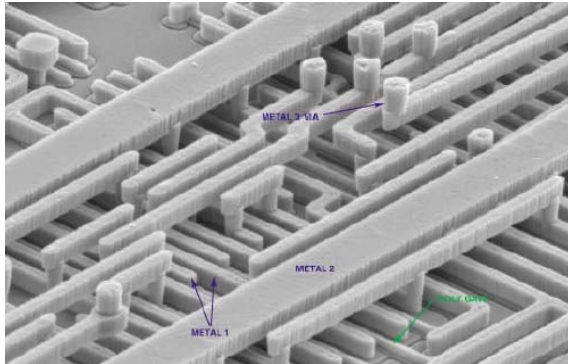
PARTIE I : COURSE À L'INTÉGRATION



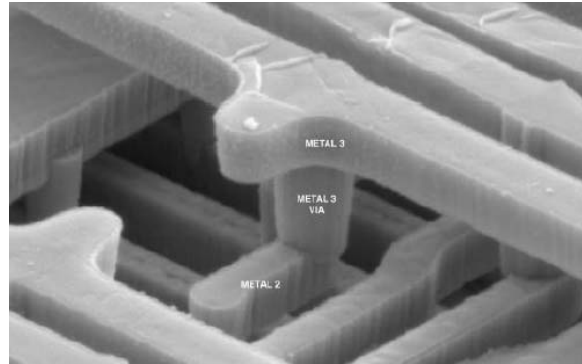
Un circuit intégré est schématiquement constitué d'un ensemble de transistors disposés sur une plaque de silicium, isolés électriquement par des matériaux diélectriques, et reliés entre eux par des « fils » conducteurs appelés interconnexions, selon un schéma défini par le concepteur.

Pour augmenter les possibilités de croisement, les interconnexions sont disposées sur plusieurs couches horizontales - cinq ou six actuellement pour les circuits standards et reliées entre 2 couches successives par des contacts métalliques appelés « vias ». L'espace entre ces conducteurs est rempli par des diélectriques qu'on suppose homogènes par régions.

La complexité de circuits complets est très importante : un microprocesseur réalisé aujourd'hui en technologie 0.09 μm (90nm), possède près de 45 millions de transistors reliés par environ 1.5 km d'interconnexions réparties sur 6 niveaux.



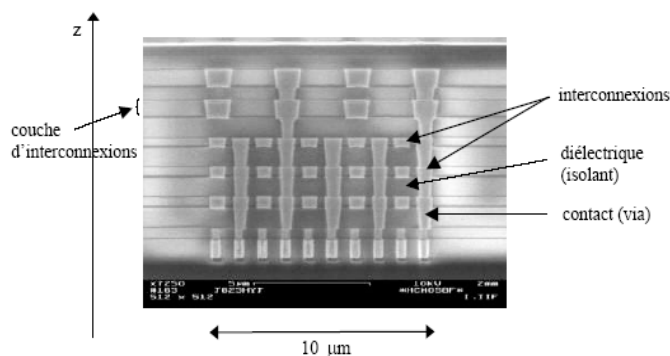
Processeur Power PC (X 15000)



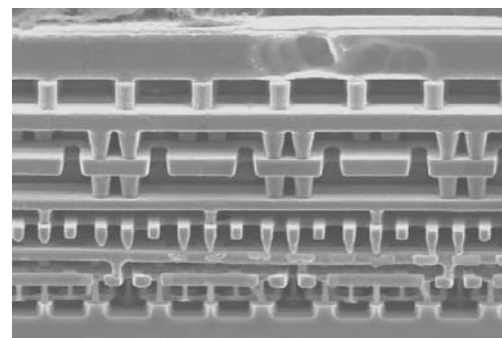
Grossissement X 45000

Les figures ci-dessus sont de très belles photographies de portions de circuit où les diélectriques ont été retirées afin de mieux voir les interconnexions. Ces deux photographies, qui grossissent respectivement 15000 fois et 45000 fois la réalité, permettent d'imaginer la complexité d'un circuit complet de surface de l'ordre du centimètre carré.

En pratique, chaque niveau d'interconnexions est réalisé par le transfert sur la plaque, de motifs d'un masque représentant le plan 2D de la couche vue du dessus. Ainsi, les circuits sont des structures stratifiées, où chaque couche est quasiment homogène en hauteur, comme on peut le voir sur la coupe d'une portion de circuit représentée dans la figure suivante :



wafer passé au rayon X



vue en coupe

I.1 Outils et méthodes de conception des circuits intégrés complexes

La conception de circuits intégrés complexes est une activité en plein développement. Elle est pratiquée chez:

- Les fabricants de circuits intégrés (ST Microelectronics, Philips, Infineon, ATMEL, Intel, Texas, Freescale,...) pour:
 - les circuits de leurs catalogues respectifs.
 - des circuits spécifiques commandés par des entreprises spécialisées dans la conception de systèmes (télécoms, militaires, aérospatial, grand public, informatique,...)
- Les grands fabricants de systèmes qui conçoivent des circuits spécifiques pour leurs équipements.
- De petites entreprises qui vendent des circuits très spécialisés (par exemple Transmeta) qu'ils conçoivent mais font fabriquer par des centrales technologiques (entreprises qui ne se chargent que de la réalisation des circuits).

La conception de circuits intégrés se divise en deux grands domaines:

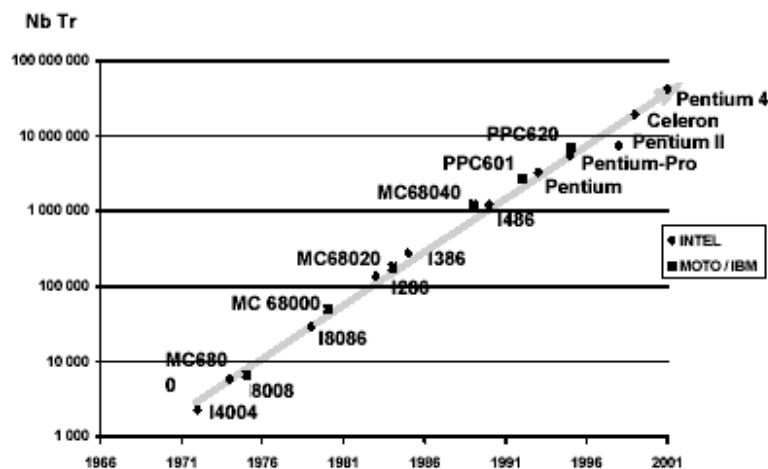
- La conception automatisée de circuits, encore appelée la **compilation de silicium**. Dans cette approche, le travail de conception se restreint à écrire une spécification du circuit (en VHDL, VERILOG ...), à la vérifier, puis à surveiller le travail des outils de conception automatique qui fournissent le dessin des masques. Ce type de conception de circuit intégrés se présente comme une évolution technologique de la conception des cartes électroniques dont elle reprend la même approche méthodologique (approche monophasée, bibliothèque de portes, peu de prise en compte des problèmes topologiques). Le travail de conception se trouve fortement allégé, mais les circuits résultants sont faiblement optimisés. Ces approches sont réservées aux circuits logiques.
- La conception au niveau des masques, encore appelée **custom (ou full custom)** fait référence au monde de l'analogique. Dans cette approche, le travail de conception consiste à obtenir des circuits très optimisés en exploitant au maximum toutes les spécificités de la circuiterie VLSI. Cette approche est réservée aux circuits produits en très grande série (circuits spécialisés comme les ABS ou ESP) ou ceux qui doivent être particulièrement optimisés (en surface ou en vitesse). La conception d'un circuit de ce type est beaucoup plus longue et complexe que celle d'un circuit conçu automatiquement, mais les performances obtenues sont beaucoup plus importantes, et la surface de silicium occupée beaucoup plus faible. Toutefois, pour réduire le coût de conception des circuits complexes, certains blocs des circuits custom sont réalisés avec des outils automatiques.

I.2 La maîtrise des coûts de conception

L'augmentation de la taille des circuits intégrés entraîne naturellement une augmentation du coût de leur conception. Pour éviter que celle-ci devienne prohibitive les entreprises doivent continuellement innover en terme de méthodologie. L'économie de la conception des circuits

intégrés est d'ailleurs très comparable à celle des logiciels. Des solutions très voisines sont utilisées pour maîtriser l'inflation des coûts et des délais dans ces deux domaines.

La conception manuelle d'un circuit au niveau des transistors coûte environ une heure de travail par transistor dessiné en incluant la spécification, la vérification et la documentation. Ce coût devient rapidement exorbitant lorsque la complexité atteint quelques centaines de milliers de transistors, d'autant plus que la relation coût / complexité n'est pas linéaire. En effet, le coût de la conception tend à augmenter avec la complexité des circuits car sa gestion possède elle-même un coût.



Evolution de la complexité des microprocesseurs (loi de Moore)

Le meilleur moyen de réduire le coût de conception est d'accroître la réutilisation de blocs déjà conçus. Cela se fait à la fois à l'intérieur d'un circuit et entre des circuits différents. On constate que les méthodes modernes de conception s'appuient sur la constitution de bibliothèques de blocs préconçus, vérifiés et documentés. Un marché de tels blocs est d'ailleurs en train de se développer sous le nom d'IP (pour **Intellectual property**). C'est approche de la conception porte le nom de « **RE-USE** »

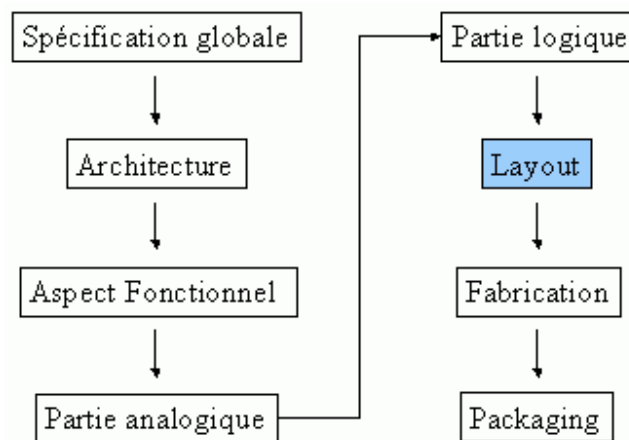
Il faut également tenir compte d'un facteur spécifique au monde des circuits intégrés qui est une grande variabilité de la technologie. Celle-ci apparaît à la fois chez chaque industriel qui fait continuellement évoluer sa technologie pour rester compétitif, et entre les acteurs du marché qui ne disposent pas, à un instant donné, de technologies complètement compatibles entre elles. Il est donc nécessaire de développer des outils et des méthodes de conception qui permettent de porter un circuit ou simplement des blocs, d'une technologie à une autre sans trop d'efforts. Les techniques de conception automatique se sont largement développées en réponse à ces problèmes.

Les filières technologiques permettant la réalisation d'un micro circuit sont toutes semblables dans leur philosophie : Toutes sont basées sur des dépôts de couches, des gravures et souvent à la fin la suppression d'une couche. Une des fondations nécessaires pour construire un micro circuit est donc la connaissance parfaite du processus technologique qui donnera naissance à la structure.

Chaque filière peut être définie par les divers dépôts de matériaux, mais les dimensions géométriques fixes (longueur et largeur de grille, taille des contacts, épaisseur des dépôts) et les propriétés physiques des matériaux déposés sont propres à la filière utilisée. Dans une approche VLSI, toutes ces informations sont contenues dans le **Technology File** (ensembles des fichiers informatiques qui caractérisent la technologie)

I.3 Cycle de conception d'un circuit VLSI

Dans ce document, je m'attarderais principalement sur l'étape traitant du layout.



Définition :

Le jeu complet de masques nécessaire à l'enchaînement de toutes les séquences de la fabrication d'un circuit intégré est appelé « le layout ».

Il faut savoir que le layout est intimement liée à la filière technologique qui a été choisie. Par conséquent, les méthodes mises en œuvres pour développer un circuit ABS possèdent des spécificités que l'on ne rencontre pas dans une application standard tel qu'un circuit radio fréquence et vice-versa.

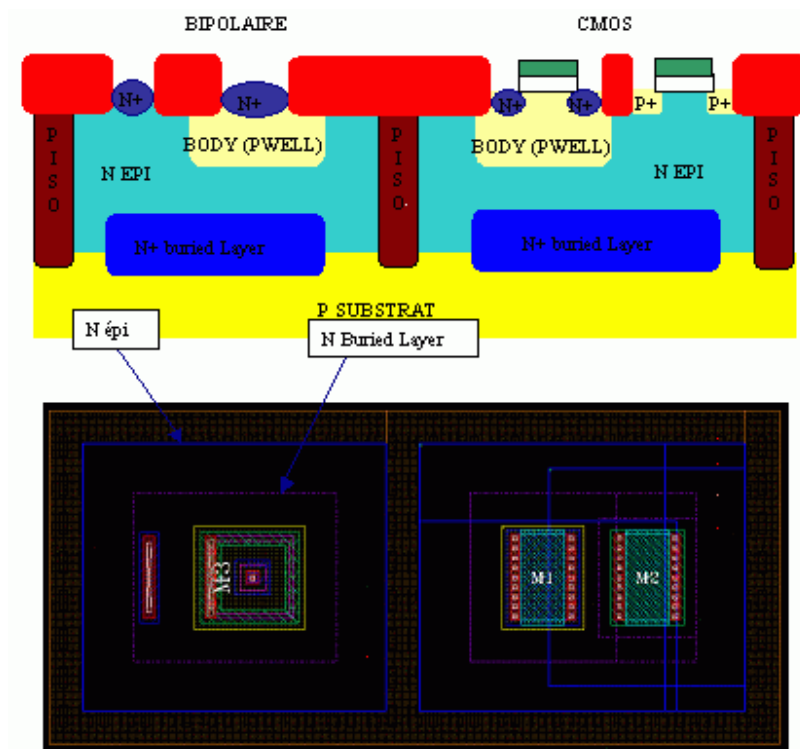
I.4 Technologie polyvalente

Dans un circuit à vocation automobile, ce côtoient sur la même puce, des structures des puissances associées à des modules de gestions ou des commandes. Les centres de conceptions intègrent couramment sur un même substrat des transistors Nmos et Pmos, des bipolaires ainsi que des composants de puissances spécifiques tels que les LDMOS, TMOS en autres VMOS. Dans ces conditions, on parle de technologie « BICMOS ». Les composants réalisés dans l'épi sont séparés par une isolation de type P appelée Piso. Le N épi entouré de Piso constitue un

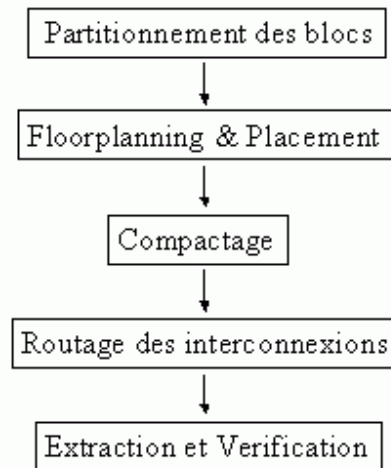
caisson. Dans un layout, nous pouvons mettre tous les composants qui ont la même tension d'épi dans le même caisson afin d'optimiser le placement.

Les PMOS (Mos canal P) utilisent le N épi comme body (corps) alors que les NMOS (Mos canal N) sont réalisés dans un body dope P (appelé PWELL). Le transistor bipolaire NPN vertical est réalisé dans du N épi. Sa base est constituée de PWELL.

Il faut savoir qu'une technologie est définie par sa précision de gravure, c'est à dire la largeur du plus petit motif réalisable (ouverture d'un contact) pendant la fabrication du circuit intégré.



I.5 Etapes physiques



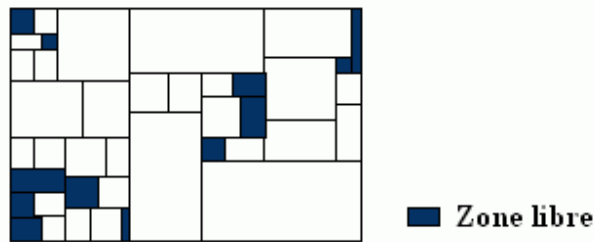
- **Partitionnement** : division de la puce en blocs / fonctions propices à l'implantation dans l'ASIC.
- **Répartition – « floorplanning »** : planification préliminaire de l'agencement physique des blocs de haut niveau ainsi que de leur surface occupée.

Le floorplan s'appuie sur le « pinout » du circuit qui représente l'ordre et l'agencement des plots d'entrées/sorties qui sont reliés au boîtier. En fonction de c'est impératif dicté par l'application qui reçoit le circuit (mais aussi le choix du boîtier) il faut concevoir une disposition spatiale qui favorise le routage mais surtout qui prend en compte des spécificités propres au cahier des charges.

- ségrégation entre fonctions sensibles et perturbatrices, limiter les résistances de lignes.
- création des chemins de puissance, éviter les boucles
- tenir compte du stress mécanique crée par la mise en boîtier
- les blocs critiques ne sont recouverts par aucunes couches technologiques situées à un niveau supérieur (hiérarchie N+1) ...etc.

De plus, le concepteur doit s'assurer que le processus de « bonding » (liaison filaire entre les plots de la puce et les broches du boîtier) n'entraîne aucuns conflits entre deux broches du boîtier (trop proches, angles d'ouvertures insuffisants ...) pour cela on réalise une vérification en simulant l'opération.

- Aménagement des canaux de routage
- Réservation de la zone périphérique qui va inclure les plots d'interface I/O (padding) avec leurs protections ESD
- Prise en compte des spécificités de chaque bloc (éloigner un circuit bandgap d'un circuit qui commute, limiter les effets thermiques,...)
- Prévoir les chemins d'alimentation.....



placement au niveau topcell

Dans bien des cas, il est nécessaire de réserver des zones libres (inter blocs sans routage) qui permettront de prendre en compte une modification du placement à posteriori. En effet, il est important de conserver une marge de manœuvre lorsque certaines fonctions critiques qui ne sont pas encore figées au cours de la phase de layout peuvent subir des évolutions. Cette souplesse permet un remaniement du placement à moindre coût.

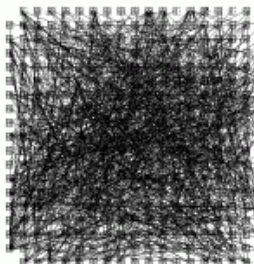
Pour illustrer l'importance du placement, voici un circuit géré de deux façons différentes :

Cas 1 :

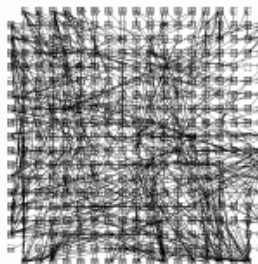
- un chevelu désordonné, redondant
- forte congestion lors du routage
- risque de couplage important
- chute de tension sur certaines lignes
- liste non exhaustive ...

Cas 2 :

- connexions au plus court
- réductions des éléments parasites (résistances, condensateurs)
- facilité pour la prise en compte des modifications si un re-layout est nécessaire
- clarté = qualité



placement mal étudié



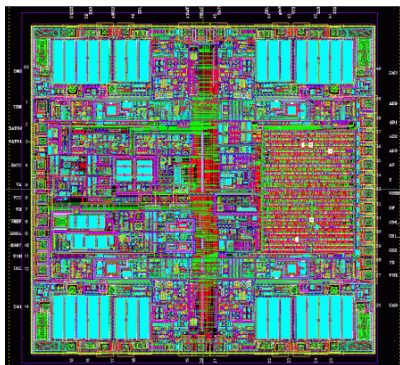
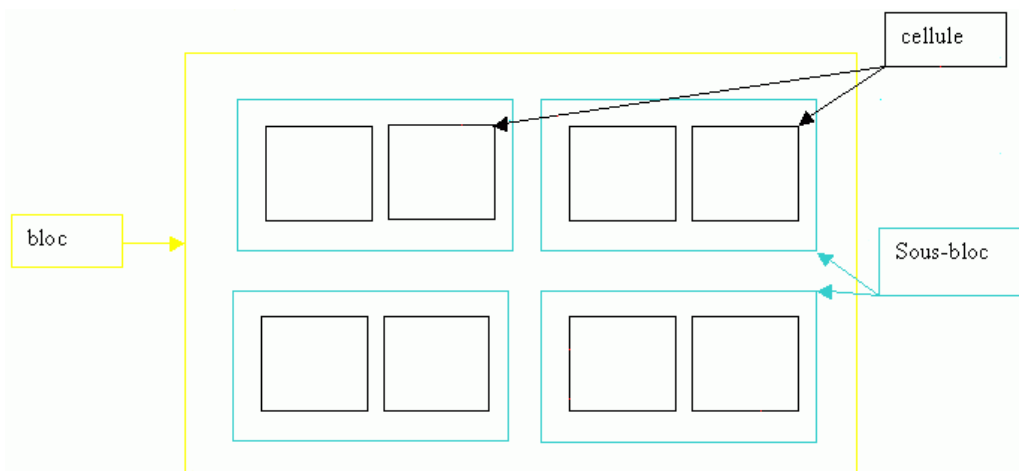
placement organisé

I.7 Organisation d'une puce – niveaux de hiérarchie

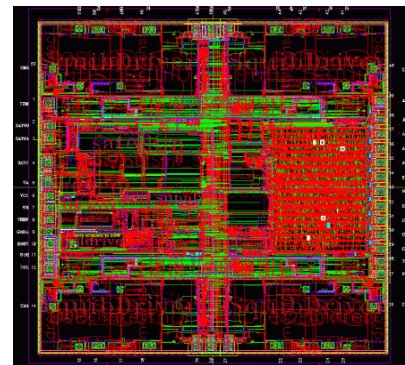
Une puce comprend un très grand nombre de fonction auquel correspond un schéma électrique global. Il faut savoir qu'une fonction est elle-même constituée par plusieurs sous blocs associés a autant de schémas, et ainsi de suite jusqu'aux fonctions élémentaires (structure à la « poupée russe »). C'est pour cela que la méthodologie de conception du schéma est dite descendante (top down).

Pour le layout, c'est le contraire, on part des cellules élémentaires pour bâtir une architecture complexe, on parle de l'approche « Bottom up ». Par conséquent, il existe plusieurs niveaux de routages qui s'imbriquent les uns dans les autres.

Ce type d'organisation apporte sans conteste une clarté qui facilite la gestion et la visualisation.



Ensemble des niveaux hiérarchiques



Routage du niveau supérieur

I.8 Comportement thermoélectrique

Lorsqu'un circuit doit dissiper une forte puissance, il est utile de réaliser une simulation thermique afin d'avoir une idée sur la répartition de la chaleur. Ainsi, on s'aperçoit qu'un

placement mal étudié conduit (figure1) à une mauvaise répartition de la chaleur (zone étendue). A contrario, le nouveau placement (figure 2) démontre qu'un placement judicieux permet une homogénéisation de la dissipation thermique. En fait, le point chaud reste très localisé sur le transistor de puissance.

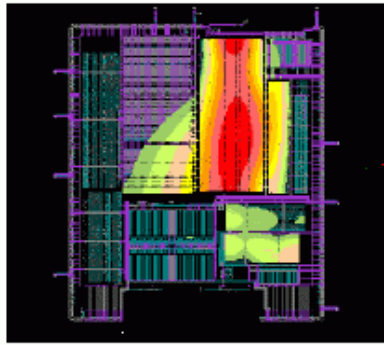


figure1 : dissipation étendue

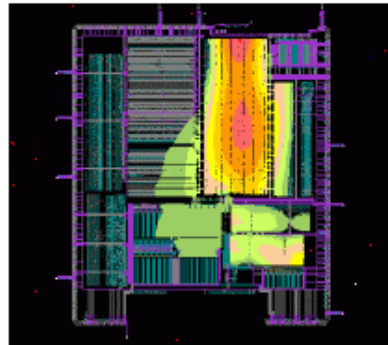


figure2 : dissipation localisée

PARTIE II : REGLES DE DESSIN DES MASQUES

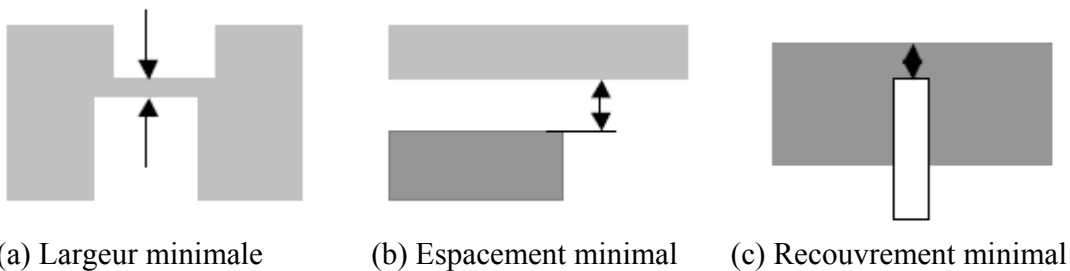
Lors du dessin des différents masques d'un circuit intégré, en plus des côtes du motif à réaliser, on doit considérer un certain nombre de règles dimensionnelles, qui sont spécifiques à une filière technologique, qui prennent en compte ses limites en termes de précision sur la superposition des différents masques, des incompatibilités technologiques, de la résolution finie de la lithographie et de la gravure, Cet ensemble de règles constitue les "règles de dessin" de la filière et sert de lien entre la conception de circuit et le processus technologique. Pouvant être très nombreuses (plusieurs centaines), elles peuvent être scindées en quatre groupes distincts.

1. règles de largeur minimum:
Les largeurs et les longueurs minimums des motifs dessinés doivent être supérieures à une valeur donnée.
2. règles de l'espacement minimum:
Les motifs dessinés sur un même masque ou des masques différents doivent être séparés par un espacement minimum. Ces règles évitent principalement que deux "lignes" d'un même matériau ne puissent être confondues (court-circuit) et que deux "lignes" de matériaux différents ne se recouvrent intempestivement.
3. règles de l'entourage minimum:
Lorsque que l'on prévoit qu'un motif soit insérer à l'intérieur d'un autre motif sur un masque différent, les règles de l'entourage minimum garantissent cette insertion quelles que soient les tolérances de centrage des masques.
4. règles de l'extension minimum:
Ces règles sont les duales des précédentes. Elles garantissent que comme prévu, un motif reste sous un autre motif indépendamment des variations dimensionnelles.

II.1 La vérification de la structure

Les règles de dessins, écrites par le concepteur de la filière technologique, traduisent les limites du processus de fabrication, qui permettront d'obtenir une structure manufacturée robuste.

Quelles sont les principaux paramètres pris en compte ? Dimensions d'une structure, pour éviter des problèmes de flexion pouvant aller jusqu'à la rupture, distance entre les matériaux, diamètre d'une ouverture, etc. . .



Dans l'exemple ci-dessus, considérons dans le cas (b) comme élément sensible à contrôler la distance existant entre les couches A et B : la distance d . « La règle » nous impose que si la distance entre A et B est inférieure à une distance d_{min} , alors la structure risque de poser des problèmes lors de son processus de fabrication (finesse de la gravure).

Nous utilisons donc par exemple un opérateur booléen de type « séparation » :

si $A \text{ séparation } B < y$ alors message d'erreur « Distance entre A et B non respectée en (x, y)

II.2 Principes fondamentaux liés au routage et au compactage

Généralités :

Les **objectifs** à atteindre dans la conception d'un circuit intégré sont:

- La réalisation d'un cahier des charges donné ou la réalisation d'une **fonction** donnée de manière optimale.
- La minimisation de la surface du circuit.
- L'obtention d'un rendement de fabrication aussi élevé que possible en évitant les faiblesses de conception.

Sachant que les 2 derniers points sont destinés à **minimiser le coût** de fabrication du circuit.

Les **handicaps** à surmonter par rapport à la réalisation de circuits ou de systèmes constitués composants discrets sont:

- Les **inductances** sont exclues, saufs pour de très petites valeurs exploitables uniquement au-delà de 1 GHz .
- La **précision absolue** des résistances R et capacités C est **limitée** (de ± 5 à 50%).
- Les **valeurs de R et C** réalisables sont faibles, souvent proches de celles des éléments parasite. Leur surface (donc le coût) est proportionnelle à leur valeur.
- On ne dispose, par définition, que d'**une seule technologie** pour réaliser tous les composants d'un même circuit.

En contre-partie, le concepteur de circuits intégrés dispose de nombreux **atouts** qu'il doit s'efforcer d'exploiter, parmi ceux-ci:

- Liberté d'action sur la **forme** et la **taille** des composants
- **Connexions** internes très **courtes**.
- Transport possible de **minoritaires** entre composants
- Capacités parasites très faibles, bien inférieures au pF.
- Excellent **couplage thermique** entre composants.
- **similitude** des caractéristiques électriques de composants identiques (excellent "**matching**", c'est à dire **appariement**)

Malgré leur grande diversité, les circuits intégrés analogiques sont construits à l'aide d'un nombre assez restreint de combinaisons élémentaires de composants (circuits élémentaires).

II.3 Principes à la base des circuits robustes

But :

- Minimisation de la dépendance vis à vis de :
 - de la **température**
 - des paramètres de la **technologie**

Moyens:

- Utiliser des références qui sont fournies de l'extérieure
- créées dans le circuit de manière **contrôlée**
- Eliminer toutes les **dépendances** directes des caractéristiques du circuit par rapport aux paramètres de la **technologie**, en dehors des références nécessaires:
 - conception basée sur l'utilisation de **rappports** de valeurs
 - exploitation de la **similitude** des composants ("**matching**")

- Assurer le fonctionnement correct du circuit dans les conditions **extrêmes** de la **technologie** (ex: pour V_{T0min} et V_{T0max}), de la **température**, et de la **tension** d'alimentation.

II.4 Principe de similitude

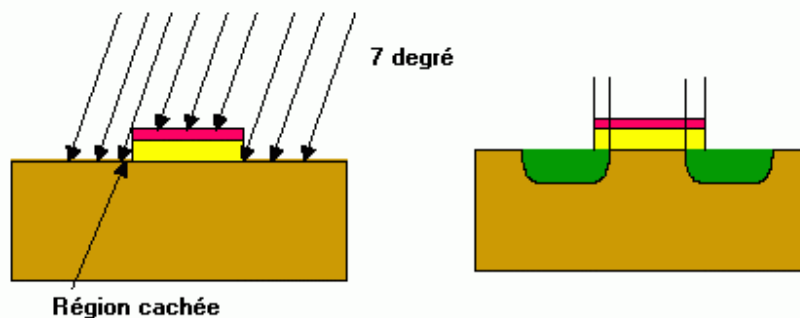
Définition :

Deux ou plusieurs dispositifs identiques fabriqués sur la **même puce** possèdent des caractéristiques très semblables.

- Les différences entre eux (mismatch) sont beaucoup plus faibles que les variations de leurs valeurs absolue.
- Ces différences peuvent être minimisées en respectant un certain nombre de **règles** d'appariement.

Asymétrie liée à l'étape de fabrication :

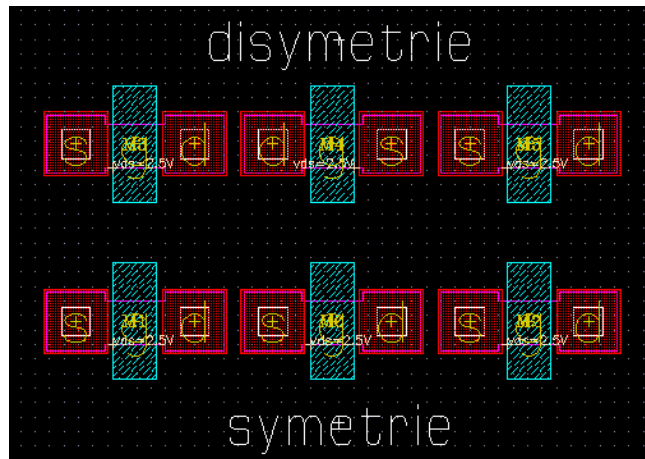
Il est important de noter que le transistor MOS n'est pas une structure symétrique. En effet, les industriels nous indiquent que l'axe de l'implantation ionique par rapport au plan représenté par le substrat n'est pas parfaitement perpendiculaire. Comme on peut le constater grâce à la figure suivante, il existe un angle d'attaque oblique voisin de 7° . Par conséquent, une zone morte est créée, et le dopage n'est pas parfaitement uniforme. Cela signifie que physiquement le drain et la source ne sont pas identiques.



Implication sur l'orientation :

Ainsi, on préfère l'agencement : S D S D S D qui alterne les dissymétries

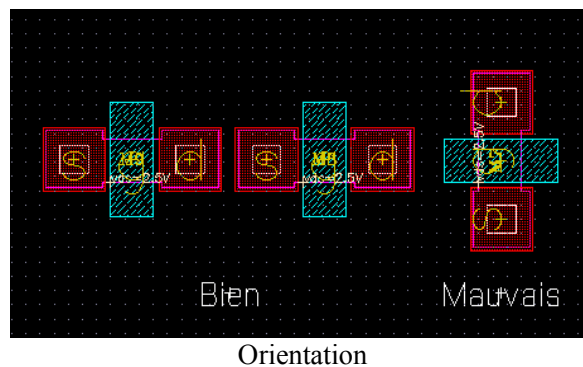
Alors que S D DS S D accentue les différences du process



De plus, toutes les grilles d'un même bloc seront orientées dans le même sens, ce qui permet de conserver le sens du dépôt et par conséquent de l'orientation des cristaux. De plus, cela permet de créer un unique flux de circulation du courant (on obtient une répartition homogène des charges).

Cette règle permet d'éviter les effets de l'anisotropie

- de certaines étapes de fabrication
- de substrat, due en particulier aux contraintes résultant du stress lors de l'encapsulation.



PARTIE II: LES 10 REGLES ELEMENTAIRES

L'expérience permet de dégager des **règles essentielles** permettant d'optimiser l'appariement de deux ou plusieurs composants (maximiser leur similitude)

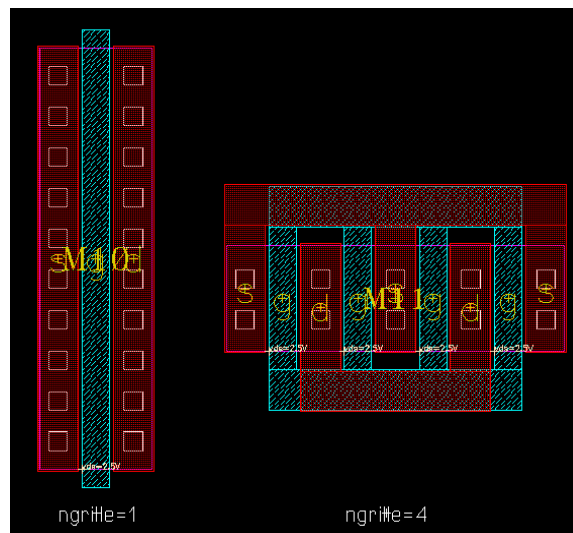
L'**importance** et la **pertinence** de chacune de ces règles dépendent :

- de la technologie utilisée
- du type de composant concerné
- de la fonction de ces composants (critique ou non).

Règle 1: Le fractionnement

La plupart du temps, les composants analogiques, transistors, résistances et condensateurs peuvent être fractionnés en modules élémentaires de même forme et de même dimension qui sont interconnectés, ce qui permet de réaliser un "empilage" qui améliore la précision. Ce faisant, on peut contrôler le facteur de forme de la structure, la précision sur l'appariement, et appliquer les autres techniques de dessin de masque.

En effet, si on souhaite réaliser un transistor tel que $\left(\frac{W}{L}\right) = \left(\frac{20}{4}\right)$, il est préférable de choisir la configuration suivante $W=5$, $L=4$ avec un nombre de grille = 4

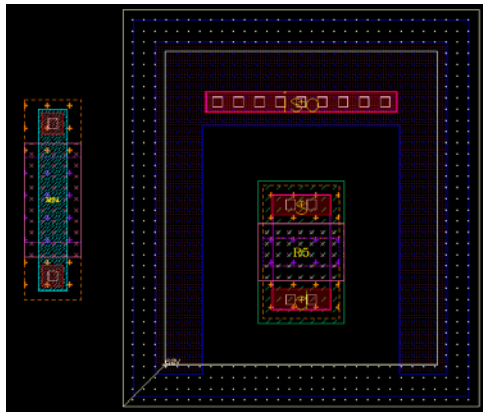


L'un des avantages de cette pratique est la réduction des capacités de jonctions CD et CS.

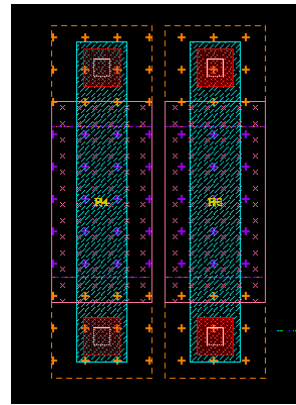
Règle 2: même structure

Les composants appariés doivent avoir la même **structure** et utiliser les mêmes **couches**, afin de dépendre des mêmes paramètres de la technologie

- Contre-exemples :
 - capacités oxyde mince et oxyde épais
 - résistances Si - poly cristallin et diffusion
 - transistors MOS à canal p et n.



Mauvais

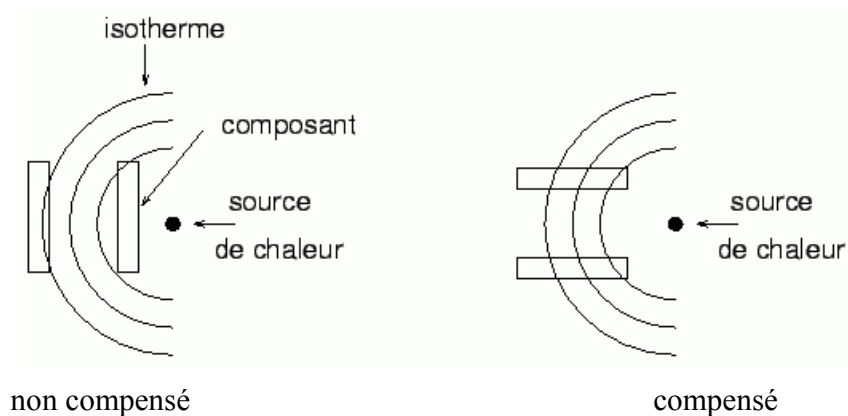


Bon

Règle 3: même température

Deux cas distincts sont à considérer:

- La **dissipation** de chaleur dans le circuit est **faible**, insuffisante pour échauffer le circuit de manière significative. (par exemple: circuit ne dissipant que quelques micro watts)
 - la température est **homogène** dans la puce en régime stationnaire.
 - seuls des sauts rapides de température ambiante peuvent créer des **gradients temporaires** de température.
- **Dissipation** de chaleur **significative issue** de certains composants:
 - On s'efforcera de placer les composants à appairer:
 - **loin** des sources de chaleur
 - sur la même courbe **isotherme**, en utilisant la symétrie.



Règle 4: même forme et même taille

Bien que les caractéristiques d'un dispositif ne dépendent en première approximation que du produit WL ou du rapport W/L , deux dispositifs à appairer doivent être **géométriquement identiques (cas idéal)**, avec les mêmes valeurs de W et L .

Raisons:

- sur ou sous-attaque des géométries par rapport au layout
- incertitudes sur les effets d'extrémité ou de forme
- diffusions latérales.

La ligne 1 et la ligne 2 peuvent être appariées de façon optimale

Par contre, la ligne 3 crée une incertitude qui augmente le « mismatch ».

Géométrie non homogène
→ **imprécision paramétrique**

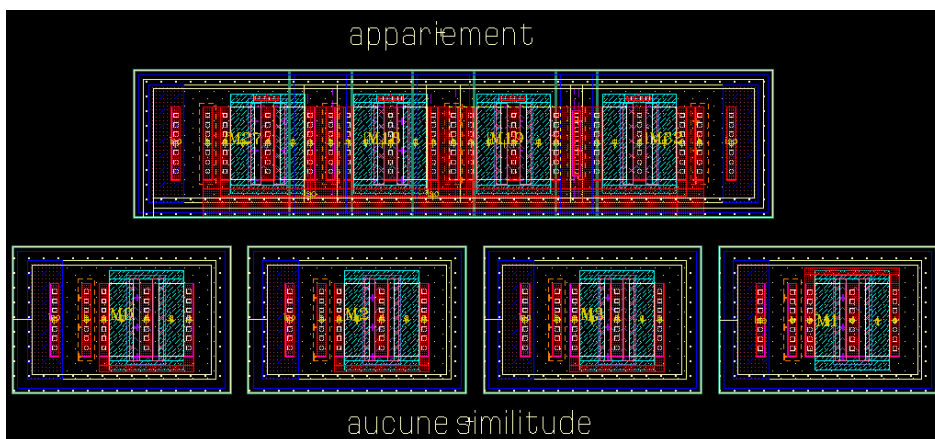
LIGNE 1

LIGNE 2

LIGNE 3

Règle 5: proximité

Les composants à appairer seront placés **aussi près que possible** les uns des autres, afin de tirer le meilleur avantage possible de la corrélation spatiale des paramètres dont la valeur fluctue (résistivité, constante diélectrique, dopage...)

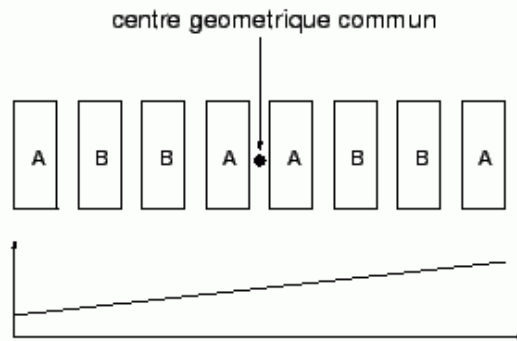


Habituellement, on regroupe les composants qui possèdent le même bulk et une isolation commune dans le même caisson.

Règle 6: même centre de géométrie (centroïde)

Afin de compenser la composante constante du gradient de variation des paramètres, on choisit la géométrie et l'emplacement des composants à appairer de telle manière que leurs **centres de "gravité" coïncident**.

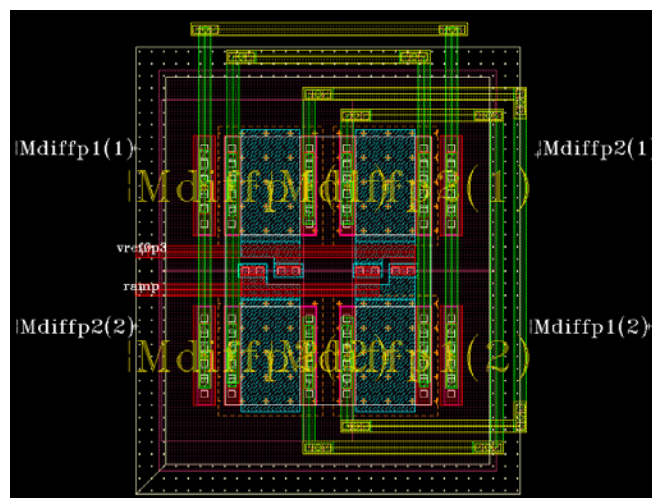
Ainsi, le centrage géométrique assure la compensation complète des variations linéaires des caractéristiques technologiques. Les dispositifs sont dits "à centre géométrique commun".



variation linéaire des caractéristiques technologiques

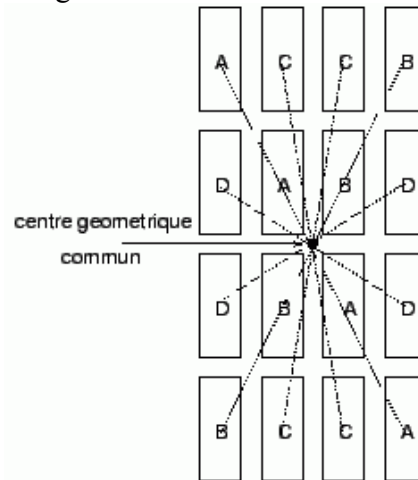
Parmi les structures élémentaires que l'on rencontre, on trouve la paire différentielle qui est la brique de base pour la conception d'amplificateur linéaire intégré (AOP), comparateur Cette structure est critique, c'est pour cela qu'il faut lui apporter une attention toute particulière. En effet, une paire différentielle est très sensible aux effets thermoélectrique, ce qui implique une dégradation de la précision. L'expérience montre que le non-respect de cette règle peut entraîner, par exemple, une différence systématique des tensions de seuil atteignant 10mV.

C'est pour cette raison que l'on réalise une paire de composants appariés sous la forme de 4 composants groupés 2 à 2, on la nomme : structure croisé-couplé ("**quad**"). Son principal avantage est de compenser les échauffements limitrophes.



paire différentielle – croisé couplé

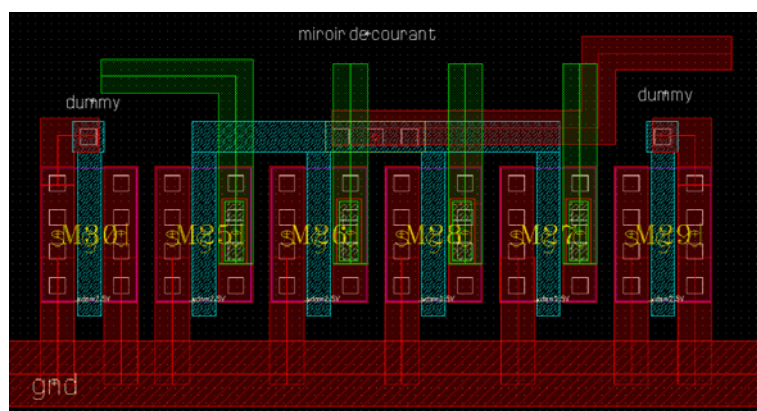
Lorsque l'appariement doit être réalisé sur de nombreux composants, le facteur de forme peut être très différent de celui du « quad ». Le centrage géométrique est alors réalisé sur deux dimensions comme le montre l'exemple de la figure :



Règle 7: même environnement - la compensation environnementale

En pratique, on observe que pour une même durée de l'application d'un processus (par exemple une diffusion), deux points de la surface du circuit qui n'ont pas le même environnement physique auront des propriétés électriques différentes (par exemple la concentration en atomes dopants). Afin de compenser cet effet, les structures élémentaires peuvent être complétées par des modules factices, électriquement neutres, assurant un même environnement physique du dispositif. On parle d'éléments « dummy ».

- L'**environnement** des composants à appairer doit être le **même** pour tous.
- L'importance de cette règle est variable selon la couche considérée: la couche de métal d'interconnexion n'a en général pas d'influence.
- Les raisons possibles d'un effet de l'environnement sur les caractéristiques électriques sont variées, mais souvent peu claires.



Miroir de courant - la transdiode est placée au centre de la structure.

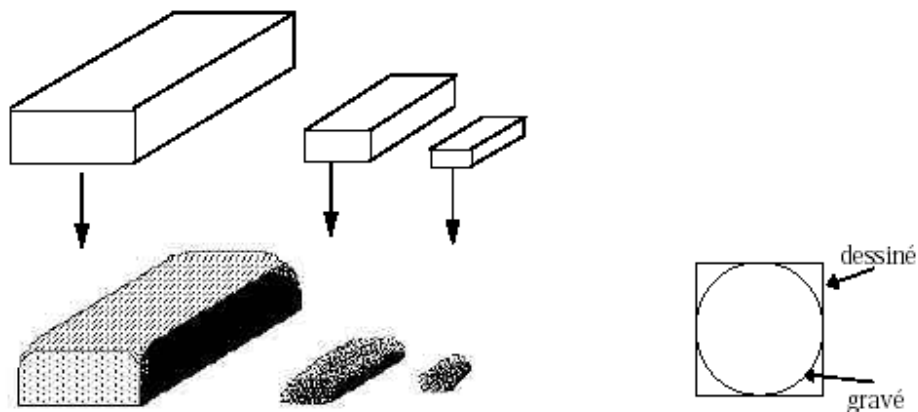
Les transistors ont un voisin de chaque côté, alors que les 2 transistors extérieurs n'ont qu'un seul voisin.

Règle 8: Taille des géométries

On perçoit intuitivement que l'appariement des dispositifs doit se dégrader lorsque leur taille est réduite. Deux effets indépendants sont à considérer.

- Effet des **fluctuations spatiales** (supposées non corrélées) d'un paramètre X (par ex.: épaisseur d'oxyde).
- Effet des **fluctuations de géométrie** (on suppose qu'elles ne sont pas non corrélées)

Réduction des dimensions :



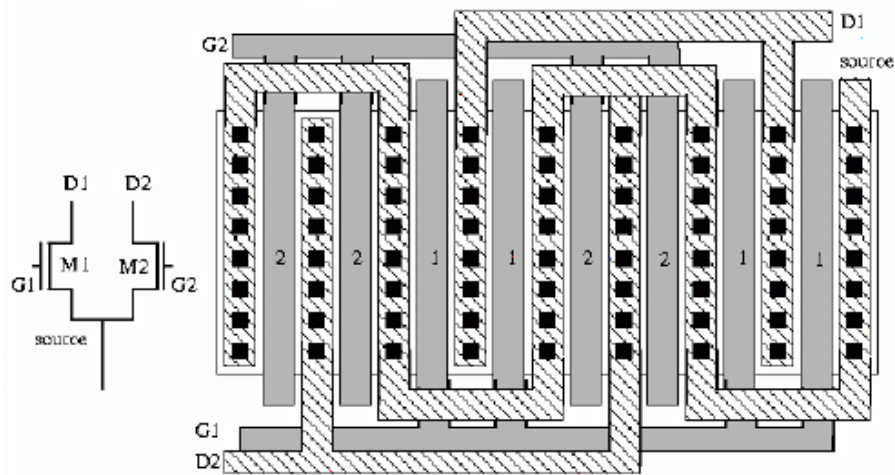
C'est pour cela que les technologues conseillent aux concepteurs d'éviter au tant que possible l'utilisation de composants qui possèdent une géométrie minimale.

Règle 9: Structure alternée « interdigiter »

Cette technique favorise l'appariement entre deux dispositifs en assurant une bonne compensation des variations linéaires des paramètres technologiques.

La disposition symétrique des éléments minimise l'influence de la connectique.

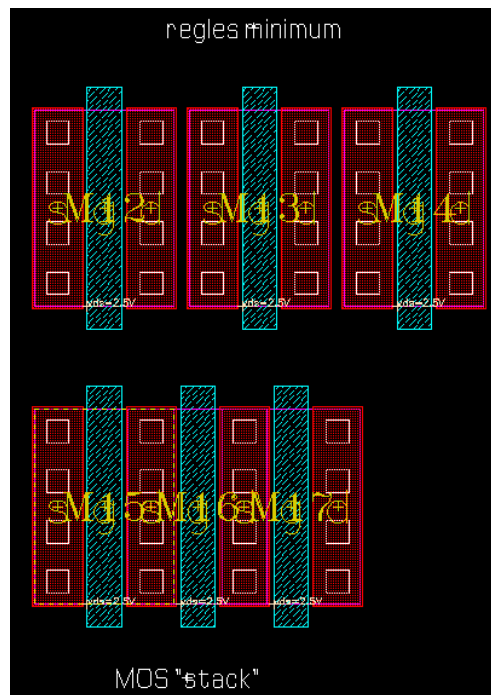
Appliquée au transistor MOS elle diminue l'influence des capacités parasites de jonction.



Règle 10: Minimisation de la longueur des interconnexions → compactage optimum (merge)

Dans un layout, un nœud du schéma électrique se traduit par une piste connectant tous les équipotentiels des cellules élémentaires contenant le nœud. Plus la longueur de la piste est longue, plus sa résistance et sa capacité parasite sont élevées. La minimisation des interconnexions est donc une contrainte à considérer.

Un des procédé couramment rencontré pour minimiser les longueurs d'interconnexions, consiste à **fuser** tous les transistors qui peuvent l'être, c'est-à-dire les transistors possédant une connexion commune et une diffusion semblable. On utilise cette technique lorsque que l'on veut fortement réduire la surface occupée.



D et S sont fusionnés

PARTIE III : CONNEXIONS CRITIQUES

III.1 Arbre d'horloge

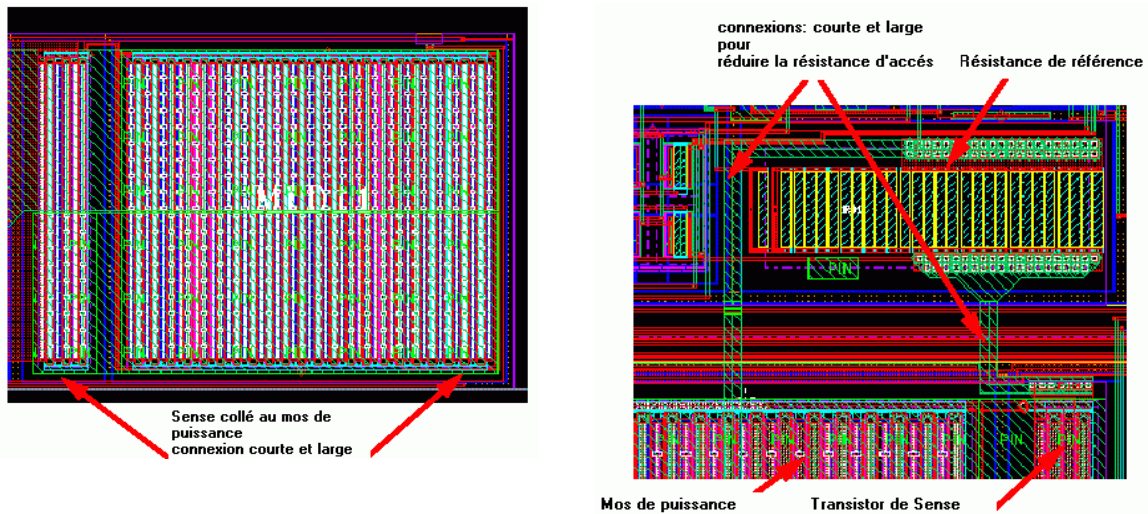
Le signal qui transite par ce conducteur ne doit pas perturber les zones environnantes. Bien souvent, il s'agit d'un signal carré dont la fréquence est comprise pour un ASIC analogique entre 1Mhz et 50Mhz. La présence des harmoniques pollue fortement les zones environnantes. Pour limiter les effets, on met en place un réseau de blindage adjacent (voir suite du document). De plus, il faut s'assurer que le retard de propagation lié aux composantes RC de la ligne est semblable sur toutes les branches. L'une des solutions nécessite la création de réseaux de serpentins afin d'obtenir des pistes de longueurs équivalentes.

III.2 Mesure d'une d.d.p

Par exemple, dans un système possédant une contre-réaction négative, on vient mesurer une tension qui est appliquée à un pont résistif. On introduit le terme de « sense » pour désigner cette liaison.

Afin de réduire au minimum la chute de tension entre les deux nœuds considérés, il faut que la connexion soit la plus courte possible et que celle-ci se situe au niveau du nœud concerné (étoile). Comme tous les blocs qui communiquent entre eux ne peuvent pas tous être adjacents les uns des autres, il est impératif de réduire la chute de tension qui peut être préjudiciable pour le fonctionnement (ddp de 20mV non négligeable par rapport à une amplitude de 100mV). Pour pallier à cet inconvénient, on élargit au maximum le chemin de connexion pour réduire la résistance de ligne et on réalise la liaison avec le niveau de métal le moins résistif. De telles pistes possèdent une résistance comprise entre 0.5 et 10Ω.

Attention : il faut veiller à limiter le nombre de via qui possèdent eux aussi leurs propres résistances.

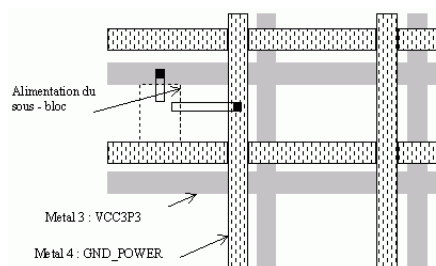


Exemple : transistor de puissance avec son « sens »

III.3 Alimentation distribuée → routage en étoile (star routing)

Il faut créer pour chaque tension d'alimentation un tronc commun à partir duquel se ramifie un ensemble de branches qui vont alimenter les blocs. Sachant que chaque branche doit être dimensionnée par rapport au courant consommé par les différentes structures. La technique consiste à tracer un maillage :

- facilité de connexion
- perte de place dans les canaux de routage

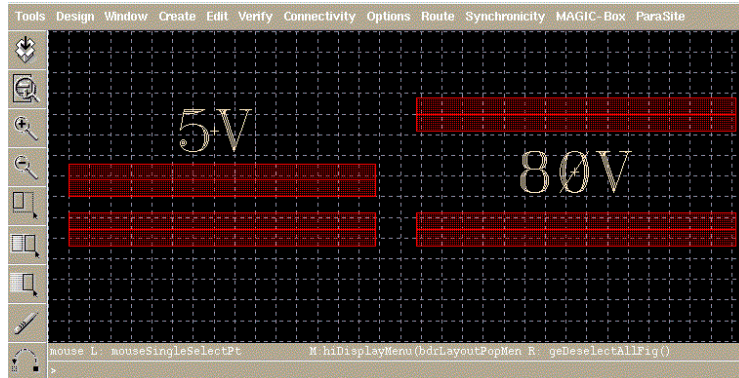


III.4 Contraintes d'espace des connexions

Dans un circuit classique, comme un téléphone portable ou un ordinateur, les tensions rencontrées sont souvent inférieures à 5V (1.2V pour un FPGA). Ce qui n'est pas le cas d'une puce qui gère des étages de puissance (pont en H, pompe de charge, ...). C'est le cas d'un circuit dédié à l'automobile (norme : 42V pour les nouvelles batteries et commande de moteur continu).

Ce désagrément est directement lié aux effets de la course à l'intégration d'une technologie. En 1990, l'espace moyen entre deux conducteurs était de $2\mu\text{m}$, en 2000 la règle est passée à $0.5\mu\text{m}$

Le concepteur doit s'assurer qu'aucun arc électrique ne pourra survenir. Par ce faire, on crée des classes de connexions en relations avec les tensions de fonctionnement. On parle de « net » moyenne tension (MVNET) ou haute tension (HVNET).



Ce type de règle doit nécessairement être prise en compte lors de l'étape de vérification DRC.

Au cours du routage, le concepteur dispose d'un nouvel outil d'assistance qui prend en compte le dimensionnement des connexions critiques (afin d'éviter tout oubli). Il s'agit du « constraint manager » intégré à Virtuoso XL de Cadence qui récupère les paramètres définis dans le schéma. Notons que les logiciels de routage automatique réalisent la même fonction de façon transparente.

III.5 Métallisation des transistors de puissances

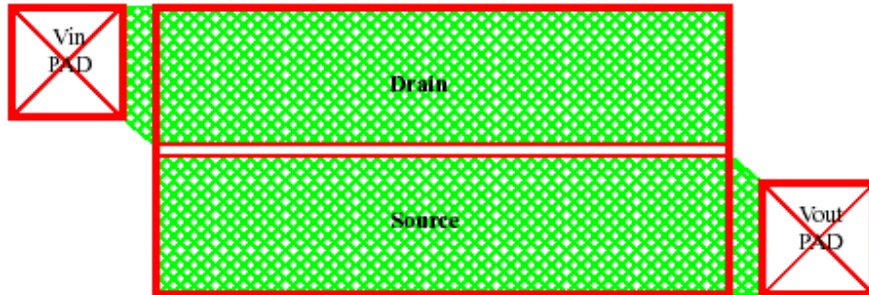
Ce type de transistor est constitué par un ensemble de transistor élémentaire (mise en parallèle) qui sont « fusionnés ».

Lorsqu'un transistor de puissance (powermos) est utilisé en régime de saturation (régulateur de tension), la tension VDG aux bornes des cellules élémentaire que l'on appelle doigt (finger) est identique dans toute la structure. Cependant, dans cette configuration la tension VGS peut être tirée vers VTH consécutivement à une chute de potentiel le long des connexions de la source, ce qui signifie que chaque élément de base dissipe une énergie différente.

Par opposition, si on utilise un transistor en mode triode (interrupteur de puissance - RDSon) la tension VGS aux bornes des éléments reste semblable dans tout le composant. Dans ce cas, la tension VGD est portée à 0V lors d'une chute de tension ce qui introduit une résistance RDSon différente pour chaque élément.

Connexion classique :

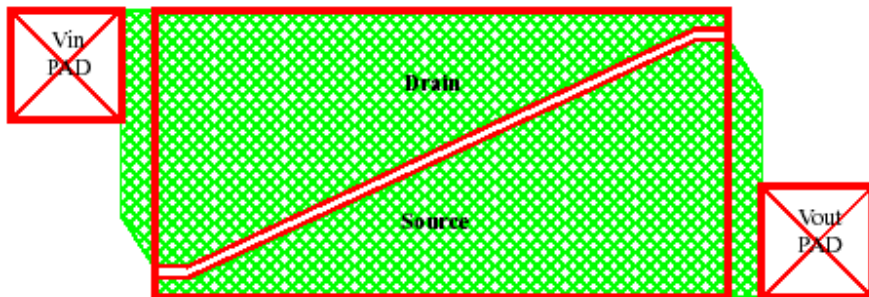
Le courant I_{Drain} collecté diminue le long du transistor par conséquent la tension V_D diminue.



Le courant I_{Source} collecté augmente le long du transistor ainsi la tension V_S croît également.

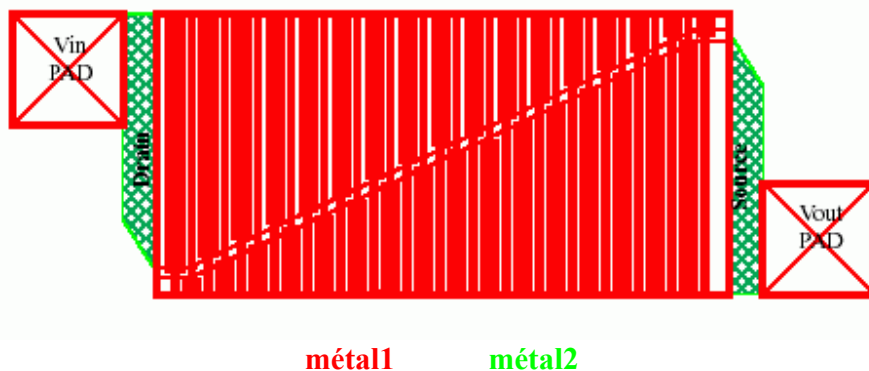
Amélioration :

Le courant I_{Drain} collecté diminue le long du transistor mais maintenant la tension V_D reste constante.



Le courant I_{Source} collecté augmente le long du transistor par contre la tension V_S devient constante.

Voici une métallisation type pour une technologie comportant 2 niveaux de métal.



III.6 Minimisation des capacités parasites (“Cross-talk, Cross-over”)

Le layout peut aussi introduire un couplage de signal inattendu tel qu’un cross-talk. Cela signifie que ce dernier pourrait injecter dans le circuit un bruit électrique indésirable ou éventuellement une distorsion de la stabilité à travers une branche de contre réaction (“feed-back”).

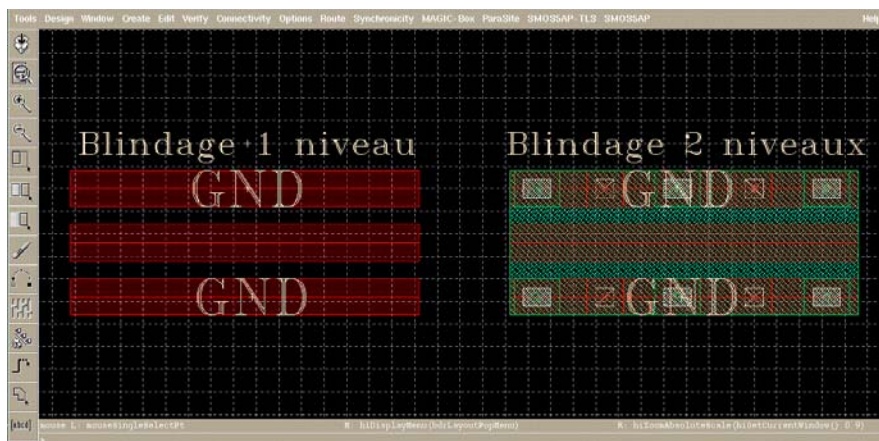
Ce couplage pourrait être introduit par une combinaison d’effet capacitif, résistif ou thermique. Deux conducteurs peuvent avoir un couplage capacitif dans les deux cas suivant:

- si les deux conducteurs sont sur des niveaux différents et se croisent ponctuellement (cross-over),
- si les deux conducteurs ont le même niveau de métal ou un niveau différent, mais restent proches l’un de l’autre (cross-talk) sur une longueur relativement importante..

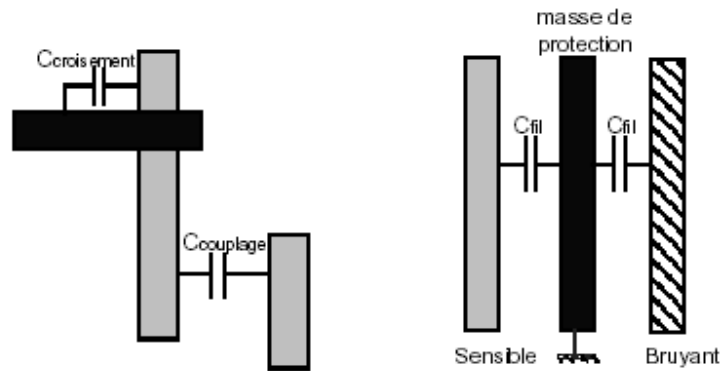
Dans le cas du croisement, le couplage capacitif est proportionnel à la surface de croisement des fils (effet frindge); tandis que dans le cas des fils adjacents, la capacité est proportionnelle à la longueur des surfaces qui se font face. Cependant, ces couplages peuvent être réduits par la minimisation des croisements ou par la minimisation des longueurs des fils parallèles.

Si la mise en parallèle de deux fils à signaux incompatibles est inévitable, un fil neutre (par exemple, un fil de masse ou une ligne de référence) peut être placé entre eux. On parle d’écran protecteur (blindage ou « shielding »)

L’utilisation des blindages ne doit pas être systématique, ce n’est pas une solution miracle, car elle met en jeu plusieurs couches qui sont autant d’obstacle pour le routage des autres connexions.



Deux types de blindages

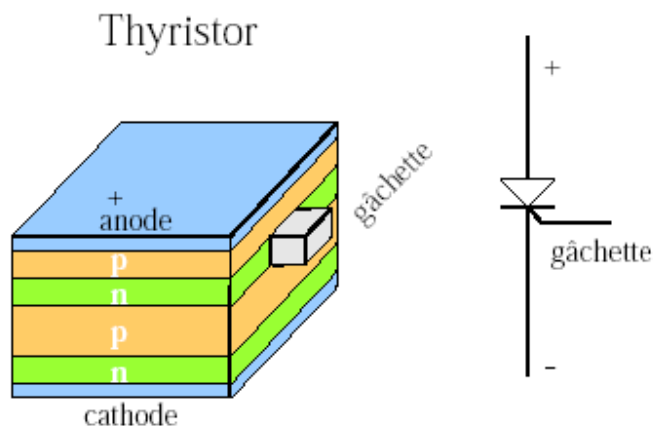


PARTIE IV : EFFETS PARASITES

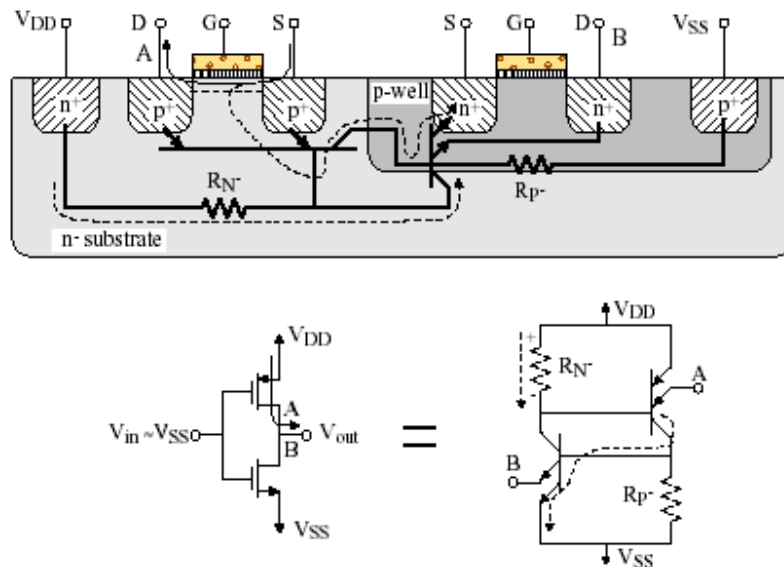
IV.1 Le phénomène de latch-up

Un transistor bipolaire est un dispositif constitué de deux jonctions tête bêche, l'empilage (NP,PN) formant un transistor NPN et l'empilage (PN,NP) formant un transistor PNP. Si nous considérons le transistor NPN (collecteur-base-émetteur), il est conducteur si la jonction base-émetteur est passante ($V_{BE} = 0, 6V$) et si la jonction collecteur-base est en polarisation inverse. Dans ce cas un courant d'autant plus important que la base est fine, traverse le dispositif dans le sens collecteur vers émetteur. Le fonctionnement du dispositif PNP se déduit du NPN par dualité.

→ apparition d'un thyristor dans une structure CMOS



Structurellement, une paire de transistors MOS constitue un dispositif quasi-bipolaire dans le sens ou elle présente un empilage de plusieurs jonctions. Ainsi l'examen de la figure ci-dessous, révèle l'existence de deux transistors bipolaire parasites sachant que la base du NPN est reliée au collecteur du PNP et que la base du PNP est reliée au collecteur du NPN.



Supposons qu'un courant soit injecté au nœud B1C2, du fait de l'existence de la résistance de substrat **R_{subst}** il peut y avoir génération d'un courant de collecteur dans le transistor NPN qui par l'intermédiaire de la résistance de caisson **R_{caisson}** peut créer un courant de collecteur dans le transistor PNP, qui lui-même... etc.. Si certaines conditions sont réunies, en fait si le gain de boucle des deux bipolaires qui sont en réaction positive et supérieure à l'unité, il y a emballement du phénomène et mise en court-circuit de la paire CMOS. C'est le phénomène de latch-up. L'initialisation du phénomène peut avoir des causes variées, courant naturel de substrat, déplacement de charges dans le caisson provenant de la commutation des transistors, ... , ainsi, le latch-up doit être impérativement évité.

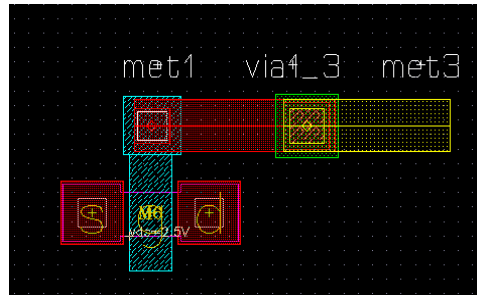
Pour ce faire, on fait en sorte que le gain de boucle soit inférieur à l'unité, typiquement en plaçant des prises de caisson et de substrat, qui par l'ajout d'une autre jonction modifie le fonctionnement des transistors bipolaires en abaissant leur gain par diminution de la concentration en porteurs des émetteurs, en jouant sur les dopages pour diminuer les résistances de caisson et de substrat.

Solution : introduire des prises substrat de façon régulière et en abondance, c'est à dire espacées de 20 à 30 μ m.

IV.2 Effet antenne

Lors de la gravure (fabrication en salle blanche) d'une grande surface d'une zone conductrice, cette zone agit comme une antenne, puisqu'en collectant une grande quantité d'ions elle peut atteindre un potentiel électrostatique important susceptible d'endommager l'oxyde de grille des transistors MOS, voire de modifier le seuil V_{TH} (plasma dommage).

Ainsi, une règle élémentaire de conception consiste à introduire une discontinuité de matériau au niveau des grilles des transistors MOS concernés afin de limiter une accumulation destructrice.



L'objectif étant de respecter la règle suivante : **ratio = aire(métal)/ aire(grille)**

Sachant que le ratio dépend des paramètres technologiques.

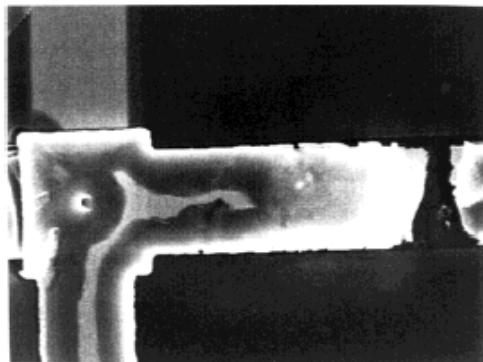
En général, on réalise un saut de métallisation, par exemple, un passage du Métal1 au Métal2, ce qui crée une discontinuité.

Une autre solution est envisageable, il suffit d'intégrer une diffusion qui permet l'écoulement du courant. Une diode antenne permet de réaliser la fonction de protection.

IV.3 Electromigration - Contrainte sur la largeur des fils

Les largeurs des fils minimales sont données automatiquement par les règles de dessin, et ceci pour chaque technologie. L'aluminium étant un métal mou, il présente un problème d'électromigration.

Il faut savoir que les conducteurs d'un circuit intégré sont érodés par le flux d'électrons, sachant que ce phénomène se déroule sur une longue durée d'utilisation, cela d'autant plus que la connexion est fine. Cela signifie qu'un courant suffisamment fort arrache littéralement des atomes d'Al à un bout de ligne (laissant des vides) ; ces atomes s'empilent ensuite à l'autre bout (formant des monticules).



Effet de l'électromigration = piste détruite

Inconvénient : baisse de la fiabilité (MTBF)

De très nombreuses branches d'un circuit font également l'objet d'un flux de courant relativement important, mais ce dernier n'est pas toujours continu, on parle de courant pic (facteur 10 par rapport au courant nominal provoqué par un état transitoire). Dans ce cas, un surdimensionnement de 10 à 20% des pistes ainsi que l'ajout de contact ou de vias supplémentaires entre les métaux est suffisant.

Pour une application fonctionnant à haute température (plage de 100 à 150°C) l'effet joule est important. Or, pour cette gamme de température, la résistivité des métaux croît fortement. Par conséquent, il faut très fortement sur-dimensionner la largeur des pistes. Ceci afin de limiter les chutes de tension (drop voltage) et pour assurer l'écoulement du courant sans aucun effet destructeur.

A 27° → piste de 10µm permet d'absorber 10ma

A 150° → piste de 10µm permet d'absorber 2.5ma

C'est pour cette raison que les couches métal qui réalisent ces interconnexions dédiées aux tensions alimentations (issus des régulateurs) sont plus épaisses que les autres. Les fabricants fournissent des abaques qui donnent une correspondance largeur / température.

Nota : il existe des technologies qui mettent en œuvre une couche supérieure de cuivre plus épaisse que l'aluminium et qui possède une résistivité bien moindre.

IV.4 Interconnexions par une couche enterrée

L'outil CAO qui assiste le concepteur permet de visualiser l'ensemble des connexions d'un schéma, il s'agit du chevelu (fonction Layout XL pour l'outil Cadence). Cependant, on ajoute manuellement des prises substrat, des contacts de polarisation pour les caissons ou des anneaux d'isolations qui habituellement ne disposent d'aucune connectivité. Afin d'éviter des éventuels oublis, on utilise un outil de vérification (STAMP connexion) qui recherche toutes connexions réalisées par les couches enterrées. En effet, ces dernières sont très résistives ce qui provoque une chute de tension, la circulation d'un courant parasite ainsi qu'un échauffement prohibitif.

Au final, il faut toujours privilégier une « connexion en dur », c'est à dire au niveau d'un métal. Le non-respect de cette règle est néfaste pour la robustesse du circuit.

IV.5 Eléments et composants parasites

Voici les phénomènes les plus couramment rencontrés

1. Injection de charge :

Dans la littérature spécialisée on parle d'injection d'électrons chauds.

Exposé du phénomène :

En régime de saturation, il existe à la jonction canal-drain polarisée en inverse, un champ électrique d'autant plus important que la longueur du canal diminue ($E=V/L$). Les électrons qui pénètrent dans la zone de déplétion sont accélérés par ce champ et certains d'entre eux acquièrent suffisamment d'énergie cinétique pour créer l'ionisation par impact.

L'ionisation par impact ou par choc apparaît dans un matériau pour des champs électriques intenses. Lorsqu'un électron dérive dans un solide sous l'effet d'un champ électrique, celui-ci gagne de l'énergie cinétique et la transmet au cristal par le biais des nombreux chocs qu'il effectue avec les atomes du réseau. Ce processus assure la dissipation thermique de l'énergie potentielle perdue par les électrons (l'énergie cinétique est conservée au cours de collisions entre électrons). Cependant, si le champ électrique est suffisamment intense, certains électrons de la bande de conduction peuvent acquérir une énergie telle que leur impact sur un atome du réseau cristallin aboutisse à la rupture d'une liaison de valence. On obtient donc deux électrons dans la bande de conduction et un trou dans la bande de valence. Ce processus peut devenir cumulatif et conduire au phénomène d'avalanche.

Les trous générés par l'ionisation peuvent emprunter différents chemins :

- Ils peuvent être attirés par l'électrode de substrat et donner suite à un important courant de substrat
- Certains d'entre eux peuvent également migrer vers la source et créer un abaissement de la barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. Cet ensemble source/canal/drain travaille comme un transistor NPN dont la base (canal) est flottante et le collecteur (drain) se trouve dans des conditions d'avalanche.

L'accroissement du nombre d'électrons injectés de la source vers le drain provoque une augmentation du nombre de paires électrons-trous dans la zone de déplétion à proximité du drain. Ceci implique un abaissement de la barrière à la jonction source-canal encore plus prononcé et donc encore plus d'électrons injectés de la source...

Ce phénomène est d'autant plus important que la longueur de canal (=base) diminue (effet transistor).

Remède : anneau de garde qui va collecter les électrons, effet de piège

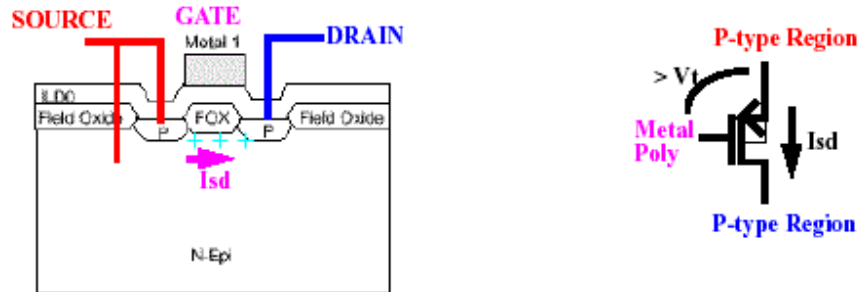
2. Les transistors parasites:

Un transistor Mos parasite peut apparaître lorsque deux régions P ou N qui sont adjacentes sont recouverte par une connexion de métal.

Cas d'une structure PMOS :

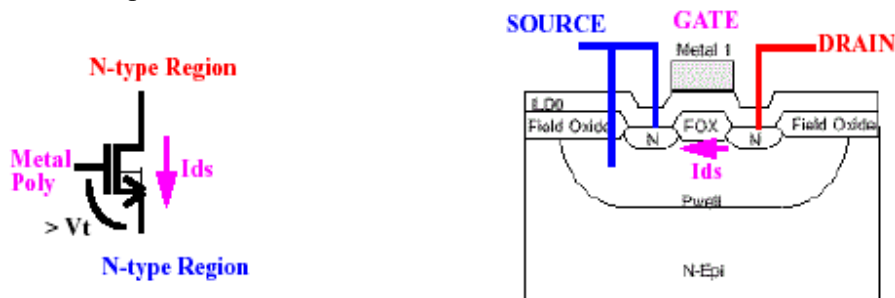
Si la tension VSG est plus grande que la tension de seuil V_T (pour une épaisseur d'oxyde donnée), si on étudie une structure basée sur un épi N, une inversion de surface peut se créer.

Celle-ci engendre un courant qui va s'écouler de la zone de source vers la zone de drain.



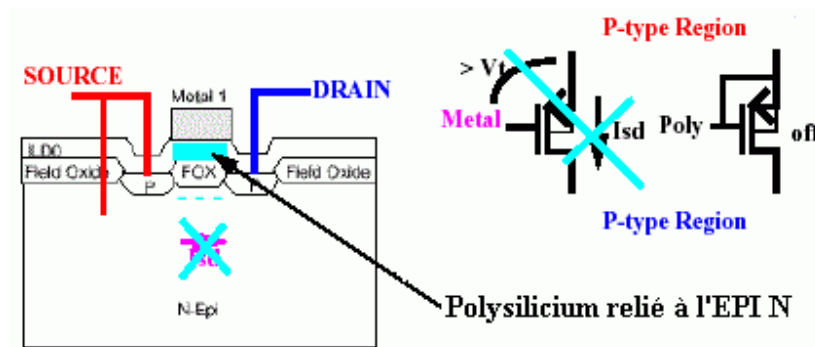
Cas d'une structure NMOS :

Si la tension V_{GS} est plus grande que la tension de seuil V_T (toujours pour une épaisseur d'oxyde donné) avec un puit P (PWELL), une inversion de surface peut apparaître et donner naissance a un courant qui emprunte le chemin drain/source. Le sens de circulation du courant est l'inverse que celui d'un PMOS.



Prévention: Il s'agit de protections passives

- La solution la plus évidente consiste à interdire tout passage de métaux au-dessus des zones concernées. Cette méthode est très coûteuse en terme de surface perdue. Dans la majorité des cas, en raison de la densité d'intégration ce choix n'est pas toujours viable, sauf pour les cas particuliers.
- Afin de lutter contre cet effet perturbateur, on insère un « channel stopper » sous la zone de métal. Cela consiste à rajouter une zone de polysilicium ou a dessiné un anneau de protection (par exemple N+) dont on fixe le potentiel (gnd_subtrat ..)



Grâce à cette technique, on empêche la création d'un canal d'inversion et par la même du courant perturbateur.

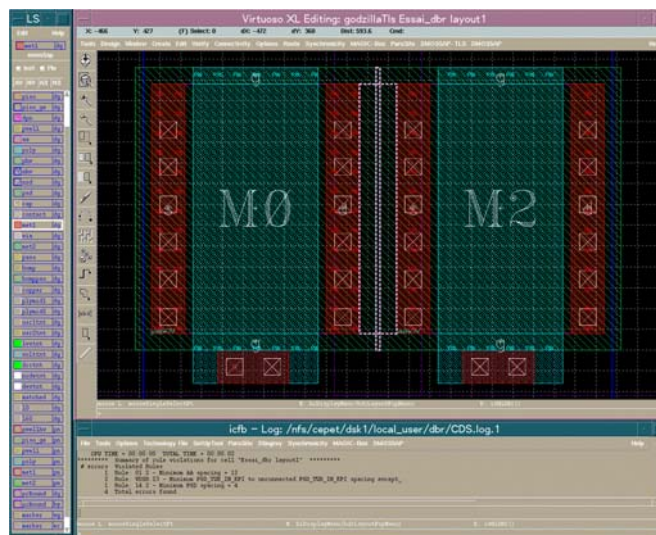
PARTIE V : VERIFICATION DE LA CONCEPTION

En parallèle des étapes de conception se trouvent les étapes de vérification. Une seule erreur peut rendre un circuit inutilisable. Le coût et le délai de réalisation d'un circuit prototype sont tels qu'il est préférable d'augmenter l'effort de vérification plutôt que de multiplier les prototypes.

La norme actuelle devrait être: "bon du premier coup!". (« First pass success »).

La vérification de la conception des circuits intégrés utilise maintenant des outils très avancés (Calibre pour Mentor Graphic et Assura successeur de Diva pour l'outil Cadence).

- le dessin des masques est vérifié par un outil informatique appelé DRC (Design Rules Check) qui vérifie la bonne application des règles géométriques de dessin.

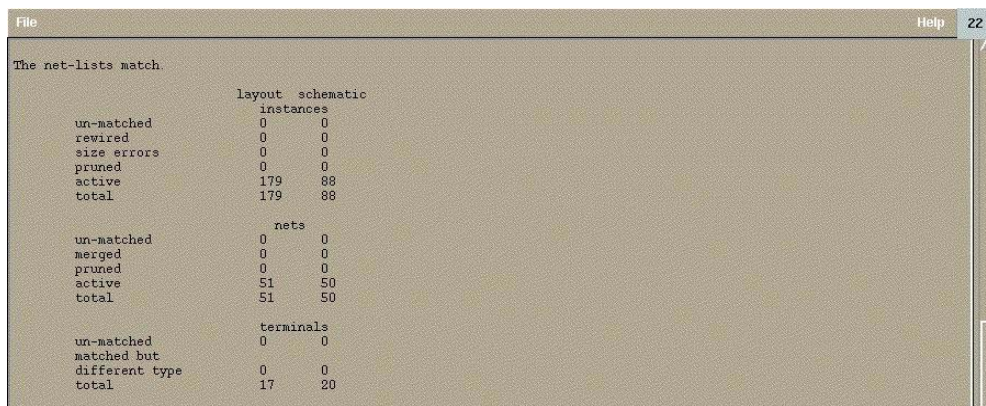


visualisation des règles DRC violées (outils GUI)

- Un traitement portant le nom d'extraction permet au concepteur de s'assurer que l'ensemble des composants est bien reconnu. Il vérifie que toutes les couches

technologiques correspondent à la description du fichier technologique et par la même que toutes les pcells sont intègre de toutes violations.

- Au cours de cette opération, il est possible de rechercher les structures parasites (circuit RC) induits par le routage. Nous savons que le temps de propagation d'un signal dans les lignes d'interconnexion deviennent critiques pour le fonctionnement des circuits. Ainsi, en important ces composants parasites dans le schéma original, on réalise une simulation dite de **rétro-annotation** (vérification RCX) qui permet d'évaluer les impacts du layout et d'y remédier si nécessaire.
- Enfin, il ne reste théoriquement qu'à s'assurer que l'interconnexion des cellules est correcte. On réalise une comparaison des équipotentielles trouvées dans le schéma avec celles issues du layout. Bien évidemment, ces dernières doivent être identiques en tous points. Cette opération permet de résoudre les éventuels court-circuit, et de corriger les mauvaises connexions.



```
The net-lists match.

                layout schematic
                instances
un-matched      0      0
rewired         0      0
size errors     0      0
pruned         0      0
active        179    88
total          179    88

                nets
un-matched      0      0
merged         0      0
pruned         0      0
active         51     50
total          51     50

                terminals
un-matched      0      0
matched but
different type   0      0
total          17     20
```

CONCLUSION ET PERSPECTIVES:

Estimer le plus précisément possible les performances sur silicium d'un circuit ASIC avant sa fabrication est l'objectif final d'un flot de conception. Nous avons démontré tout au long de ce document qu'il était impératif d'optimiser chaque étape du flot afin d'atteindre cet objectif.

On constate que la conception d'un circuit intégré analogique au niveau layout nécessite la mise en œuvre d'une méthodologie particulière. Cependant, chaque type d'application, circuit numérique, circuit de commande analogique ou circuit de télécommunication (HF) possèdent des spécificités qui lui sont propres et qui doivent s'adapter à la technologie utilisée. Dans ce cas, il existe une trame générale à suivre mais pas de règles générales, celles ci sont à étudier aux cas par cas. Certaines règles sont empiriques mais dans la plupart des cas elles font appel à une solide expérience.

Depuis plusieurs années, il existe des logiciels évolués et puissants de routage automatique qui assistent le concepteur au cours de la phase de connexions des sous blocs et

d'interconnexion au niveau topcell. Néanmoins, on s'aperçoit que certaines étapes cruciales doivent être réalisées manuellement telle que le routage sensible et le placement.

En raison de la complexité toujours croissante des circuits, il sera bientôt difficile de tout faire manuellement et les cycles de développement augmenteront. C'est pourquoi, une nouvelle génération d'outil fait son apparition. Ce sont les « floorplanner » et les outils d'assistance au placement dont l'objectif est de gagner du temps sur le développement. Le but de ces outils est d'automatiser le plus possible les phases de conception. On constate que le layout analogique suit la même évolution que le layout numérique mais avec au moins dix ans de retard. En effet, une des perspectives du layout analogique est d'avoir des blocs standards ou il n'y aurait plus qu'à faire les interconnexions entre les blocs pour obtenir la topcell. Le layout analogique tendrait donc vers la conception de prédifusés. Mais, on en est loin car il est très difficile de standardiser les blocs voire même de les réutiliser pour un autre projet sachant que l'on souhaite rester dans une approche fullcustom.

BIBLIOGRAPHIE :

The Art of Analog Layout: Alan HASTINGS

CMOS IC Layout : Concepts, Methodologies, and Tools: Dan CLEIN

Design of Analog CMOS integrated Circuits : Behzad RAZAVI

LEXIQUE:

MOSFET : métal oxyde semiconducteur – transistor à effet de champ.

Design : Conception d'un système, cela sous-entend une étude théorique.

Re_use : fonction électronique réutilisable que l'on intègre dans une librairie.

Asic : (Application Specific Integrated Circuit), circuit dédié à une application spécifique.

Layout : dessin de masque qui représente les différentes couches technologiques d'un C.I .

Bonding diagram : Représentation schématique qui montre comment le circuit sera intégré dans son boîtier (package).

ABS : Anti Blocage System, Systeme d'assistance au freinage : Consiste à empêcher le blocage des roues lors du freinage.

ESP : Système qui gère la vitesse de rotation des roues, cela permet de corriger la trajectoire en cas de dérapage.

Floorplan : Représentation qui consiste à évaluer la surface et la disposition physique des² différents blocs constituant le circuit intégré. L'outil associé se nomme « flooplanner ».

Design Rule Checking (DRC) : procédure qui vise à contrôler les règles technologiques

Layout versus schematic (LVS) : Etape de vérification qui permet de s'assurer que le layout est semblable en tout point au schéma voulu.

Matching : Appliquer et respecter les règles de similitudes, d'appariement.

Mismatch : Disparité des propriétés ou des caractéristiques engendré au cours de la fabrication.

Full custom: Circuits permettant de réaliser des fonctions qui répondent à des besoins du marché ou spécifiques d'un client (entièrement personnalisé).

VLSI : Very Large Scale Integration. Caractérise les circuits intégrés de très haute intégration (entre 5.000 et 50.000 composants).

P-CELL : Contraction de « Parameterized Cell ». Il s'agit d'un objet informatique représentant un composant dont on spécifie tous les paramètres physiques tels que W et L pour un MOS.

Topcell : puce dans son intégralité comprenant toutes les fonctions, le routage inter-blocs ainsi que le padding.

Padding : Rassemble tous les plots d'entrées / sorties ainsi que les protections ESD associés.

SMARTPOWER : Technologie microélectronique visant à conjuguer à la fois le numérique et l'analogique.

Merge : opération de concaténation des transistors. On superpose géométriquement les sources sur les drains.

Pinout : position des ports d'entrées / sorties

Anisotropie : Qualité d'un milieu dont les propriétés varient suivant la direction. Gravure uniforme d'un motif couche par couche en conservant sensiblement la planéité initiale du wafer

Sense : mesure de tension au niveau d'un nœud électrique

Fringe: (frange) Représente les capacités de bords d'un conducteur qui réalise une interconnexion.

latch-up : phénomène au cours duquel se déclenche un thyristor parasite au sein d'une structure CMOS