

i2c\_master.i2cWr(8'd36,8'h63);    adresse data    sous h24  
i2c\_master.i2cWr(8'd36,8'h23); registre a decalage ???

i2c\_test\_mode\_sns\_fld = 1;

check\_digital\_net\_id("test\_mode",test\_mode,1'b1);    →    common\_tasks.v

message, signal , expected

test\_mode = 1 mais Ou ce trouve t-il ? Dans dig\_regs ???

////////////////////////////////////

dans top\_dig.v

output test\_mode (56)

reg test\_mode\_reg (213)

reg test\_mode\_tmp (214)

Dans top\_div.v on a un process always pour entrer en testmode (570)

// write '63','23'in register 36 to enter testmode

// write '63','23'in register 37 to exit testmode

en deux etapes : on a 63 puis on a 23

test\_mode\_reg & test\_mode\_tmp

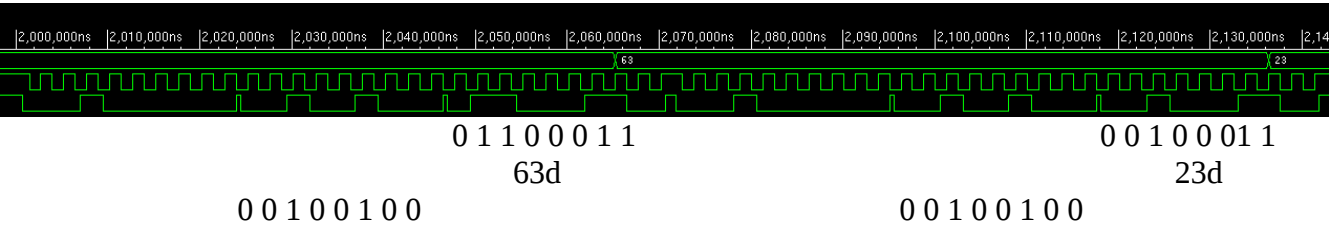
ligne 691: assign test\_mode = test\_mode\_reg | ic\_scan\_mode;

dans dig\_regs, yq il eu une mise a jour ?

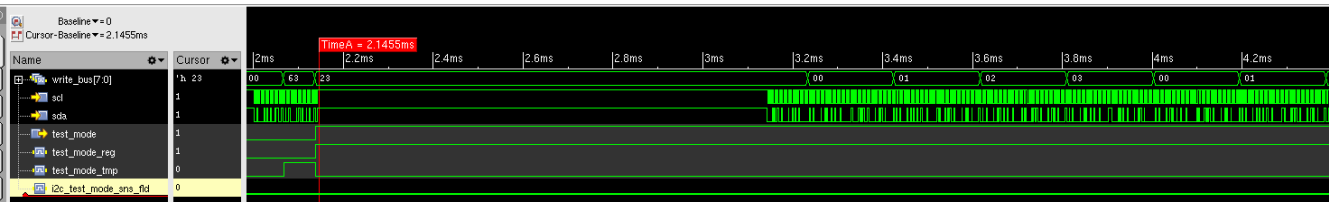
Que represente output reg [127:0] reg\_en dans dig\_regs.v ???

pourquoi wire reg\_en[36] passe a 1 ???

Passage en test\_mode: SLC, SDA



A quoi sert i2c\_test\_mode\_sns\_fld ? si 0



si 1

