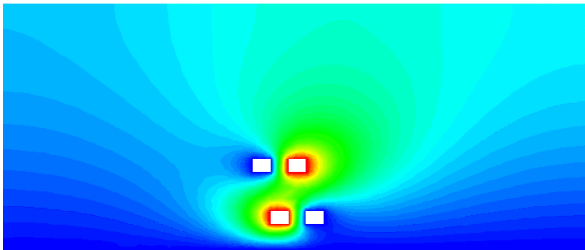
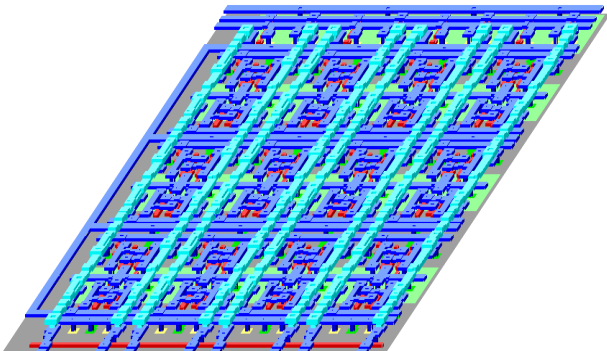
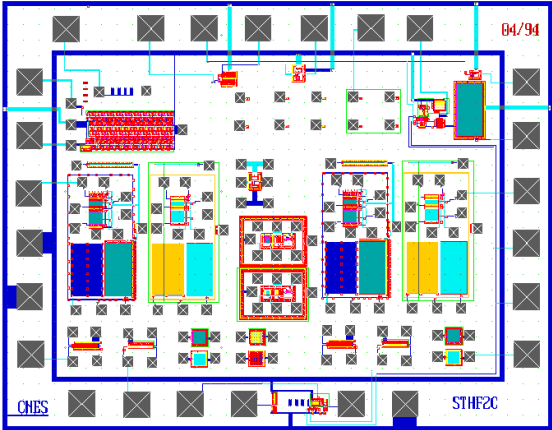
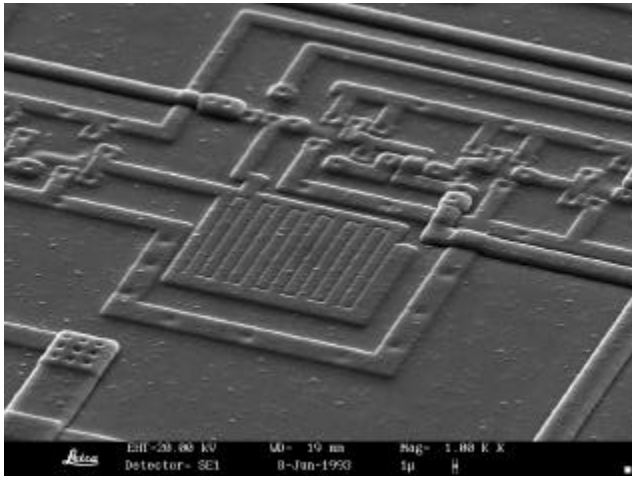


# Compatibilité Electromagnétique des Circuits Intégrés Caractérisation des interconnexions

Rôle de Formation en Microélectronique de Toulouse



Département de Génie Electrique et Informatique

© JY. FOURNIOLS  
fourniols@dge.insa-tlse.fr

## Table des Matières

<b>1</b>	<b>Quelques définitions de la CEM :</b> .....	<b>4</b>
1.1	Compatibilité ElectroMagnétique (CEM) : .....	4
1.2	Perturbation ElectroMagnétique, différents type de couplages : .....	4
<b>2</b>	<b>La CEM dans la vie d'un produit industriel:</b> .....	<b>5</b>
<b>3</b>	<b>La CEM en micro-électronique:</b> .....	<b>7</b>
3.1	Apparition d'éléments parasites dans les lignes d'interconnexion : .....	7
3.2	Différents types d'interconnexions pour un système électronique : .....	8
3.3	Différents types de couplages pour un système électronique : .....	9
<b>4</b>	<b>Diaphonie capacitive (et / ou) inductive</b> .....	<b>10</b>
4.1	Illustration du phénomène sur un cas simple : deux inverseurs . .....	10
4.1.1	<i>Etude de la modélisation d'un seul conducteur sur un plan de masse</i> : .....	12
4.1.2	<i>Apparition d'éléments parasites</i> : .....	13
4.1.3	<i>Calcul des éléments parasites type [C] par la méthode des éléments finis</i> : .....	17
4.1.4	<i>Simulation du système</i> .....	20
4.1.5	<i>Calcul des éléments parasites type [L]</i> : .....	21
4.1.6	<i>Calcul des éléments parasites type [R]</i> : .....	22
4.1.7	<i>Effet de peau</i> : .....	24
4.2	Différents modèles de couplage : .....	25
4.2.1	<i>Exemple : Comparaison entre le modèle [C] et le modèle [C]+[L]</i> : .....	26
4.3	Calcul de la contribution de bruit sur le layout .....	27
4.4	Approximation quasi-TEM et modèle localisé.....	30
<b>5</b>	<b>Valeurs d'éléments parasites</b> .....	<b>33</b>
5.1	Capacités Circuit Intégré Niveau Métal1, technologie 0,7 $\mu$ m : .....	33
5.2	Capacités Circuit Imprimé micro-cartes, technologie assemblage 3D, pistes juxtaposées : ...	34
5.3	Capacités Circuit Imprimé micro-cartes, technologie assemblage 3D, pistes superposées : ..	36
5.4	Remarque : Simulation de l'influence de l'épaisseur d'oxyde sur la valeur de [C].....	38
	Exemple de valeurs de paramètres géométriques de lignes : Technologie MHS 0.6 $\mu$ m (Figure 42) ....	39
5.5	Quelques remarques synthétiques sur les capacités parasites .....	41
<b>6</b>	<b>Solutions pour réduire la susceptibilité des interconnexions métalliques au niveau du circuit intégré</b> .....	<b>43</b>
6.1	Influence de la configuration de couplage.....	44
6.2	Influence de la ligne flottante.....	44
6.3	Influence d'une ligne de blindage.....	45
6.4	Conclusion de l'étude : énoncé de règles pour le routage des interconnexions. ....	46
<b>7</b>	<b>Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.</b>	<b>47</b>
	Modèle IBIS .....	47
7.2	Les versions IBIS successives:.....	47
7.3	Avantages du modèle IBIS.....	47
7.4	Modèle IBIS du buffer d'entrée .....	48
7.5	Modèle IBIS du buffer de sortie.....	48
7.6	Génération d'un modèle IBIS.....	49

7.7	Passerelle de SPICE à IBIS .....	49
<b>8</b>	<b>Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce) .....</b>	<b>50</b>
8.1	Familles de boîtiers , modélisation du bonding :.....	50
8.2	Influence de la prise en compte du boîtier d'encapsulation pour une simulation du circuit intégré.....	52
8.2.1	Modélisation de niveau 0 .....	52
8.2.2	Modélisation de niveau 1 .....	55
8.3	Diminution de l'influence du boîtier d'encapsulation.....	56
8.4	Application pour réduire la fluctuation de l'alimentation VDD : assignation de 4 plots d'alimentation. ....	58
<b>9</b>	<b>Exemple d'étude CEM sur le Courant consommé : Etude des circuits de génération d'un signal d'horloge pour micro-contrôleur .....</b>	<b>61</b>
9.1	Analyse du bruit sur l'alimentation .....	61
9.2	Modélisation du courant.....	63
9.3	Propagation du signal « courant consommé » sur la ligne .....	65
9.4	Paramètres permettant de réduire le bruit.....	66
9.4.1	Influence du process.....	66
9.4.2	Réduction du courant consommé pour une technologie donnée .....	68
9.4.3	Influence de la longueur du canal.....	70
9.5	Simulation d'un circuit d'horloge .....	71
9.5.1	Le buffer .....	73
9.6	Solutions pour diminuer le bruit sur l'alimentation .....	75
<b>10</b>	<b>Mesures .....</b>	<b>79</b>
10.1	Techniques de Mesure de la susceptibilité d'un composant à une agression.....	79
10.1.1	Agression en champ direct .....	79
10.1.2	Injection par pince inductive.....	80
10.1.3	Le couplage capacitif.....	81
10.1.4	Agression par couplage sur la ligne de transmission entre deux composants .....	83
10.1.5	WBFC (WorkBench Faraday Cage).....	84
10.2	Techniques de Mesure de perturbations rayonnées émises par un composant.....	85
10.2.1	Mesures en TEM.....	85
10.2.2	Sonde de champ magnétique .....	86
10.3	Techniques de Mesure de perturbations conduites émises par un composant.....	87
10.3.1	Mini-pinces de mesures .....	88
10.3.2	WBFC.....	89
10.4	Synthèse des méthodes de mesure.....	90
<b>11</b>	<b>Normes, marquage CE.....</b>	<b>91</b>
<b>12</b>	<b>BIBLIOGRAPHIE .....</b>	<b>92</b>
<b>13</b>	<b>GLOSSAIRE.....</b>	<b>93</b>

*"Outre-Atlantique, pas moins d'une quarantaine de pilotes ont signalé dernièrement à la FAA (l'administration fédérale de l'aviation civile) des cas de perturbations de leurs instruments de vol qu'ils attribuent aux gadgets électroniques utilisés par certains passagers. Phénomène le plus souvent observé: l'avion dévie de sa trajectoire nominale, au moment où l'un ou plusieurs passagers utilisent un appareil électronique."  
(extrait AIR et COSMOS, n° 1420, semaine du 5 au 11 avril 1993)*

## **La CEM dans le métier de l'ingénieur : une nouvelle norme CEE en électronique**

Depuis le 1er Janvier 1996, l'Europe impose une certification "électromagnétique" de tous les produits industriels ou grand public comportant des éléments électriques ou électroniques : tous les produits doivent, lors de leur première mise sur le marché, être en conformité avec les objectifs de protection de compatibilité électromagnétique (CEM) fixés par la directive Européenne 89/336/CEE.

### **1 Quelques définitions de la CEM :**

#### **1.1 Compatibilité ElectroMagnétique (CEM) :**

*« Aptitude d'un dispositif, d'un appareil ou d'un système à conserver sa fonction dans un environnement électromagnétique, tout en produisant un niveau de perturbations compatible avec son environnement »*

En conséquence, l'art de la CEM consistera à faire cohabiter harmonieusement divers matériels pour lesquels un effort de "durcissement" aura été réalisé, de manière à limiter leurs perturbations émises, et à améliorer leur insensibilité aux agressions venant de l'extérieur.

#### **1.2 Perturbation ElectroMagnétique, différents type de couplages :**

*« Tout signal indésirable produit par un matériel susceptible de gêner le fonctionnement d'autres équipements, la perturbation étant un signal se propageant par rayonnement ou par conduction »*

On dénombre deux types de propagation de ce signal parasite :

- la propagation par rayonnement, (on parlera de couplage en mode rayonné)
- la propagation par conduction (couplage en mode conduit)

Le *couplage en mode rayonné* est défini comme étant un couplage par onde électromagnétique engendré par des courants et des tensions.

Ce mode de couplage est décrit par les *équations de Maxwell* qui sont une généralisation des lois d'Ampère et de Faraday.

Le couplage *en mode conduit* est défini comme étant un couplage se faisant par les conducteurs et leurs composants électriques associés.

Ce mode de couplage est régi par *les lois classiques de l'électricité*, loi des mailles, théorèmes de Norton, Thévenin ... où les phénomènes parasites sont engendrés par des éléments (capacitifs, inductifs, résistifs) qu'il faut impérativement identifier.

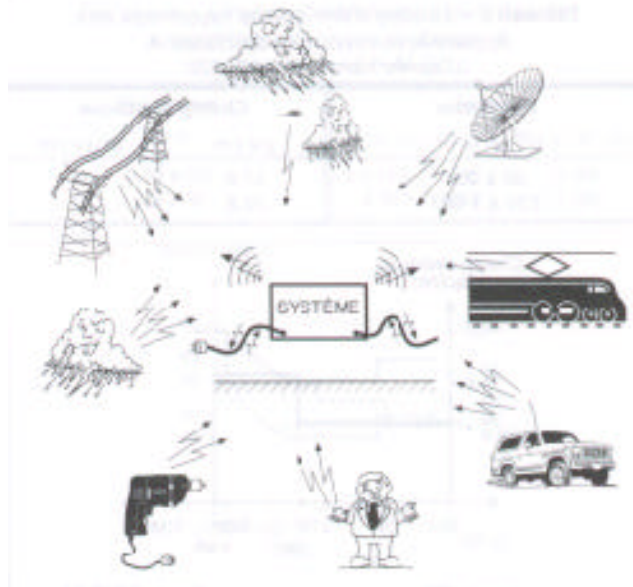


Fig 1 : Environnement électromagnétique et différentes sources de bruit.

## 2 La CEM dans la vie d'un produit industriel:

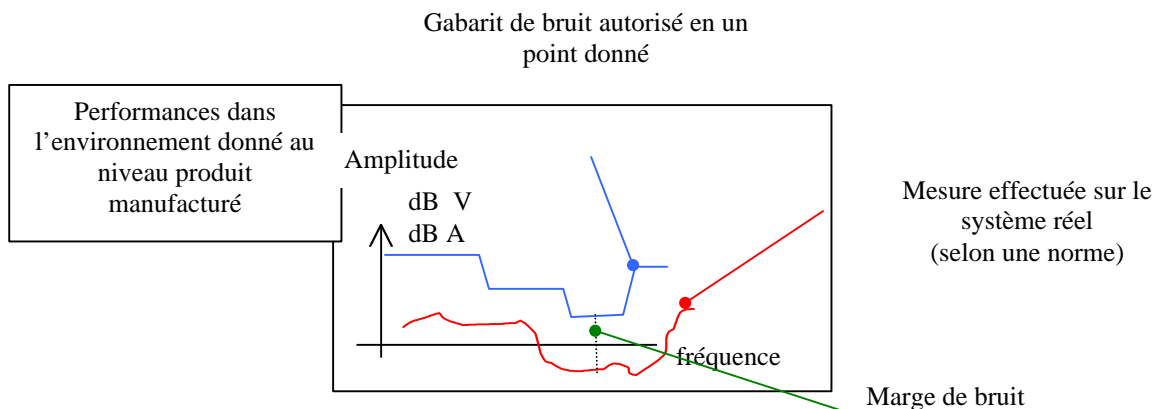


Fig 2 : Attestation de conformité vis-à-vis d'une norme pour un produit donné.

Le système *doit assurer une marge de bruit positive* sur toute la gamme de fréquences précisée par la norme.

Etant donné la complexité d'un système électronique en terme de produit, la prise en compte du paramètre CEM ne peut plus être effectuée au niveau du test final de caractérisation, pour des raisons :

- de mise en œuvre,
- de réutilisation (mise en bibliothèque),
- de place disponible,
- de répercussion sur le coût.

Les outils de CAO (intégrant des simulateurs CEM) doivent permettre de décliner une spécification globale d'un système en spécifications pour chacun des *sous-systèmes*.

La difficulté consiste à répercuter les marges de bruit sur chacun des sous-systèmes afin de satisfaire à la spécification finale.

On peut schématiser succinctement les interactions nécessaires à la conception d'un produit industriel (Figure 3):

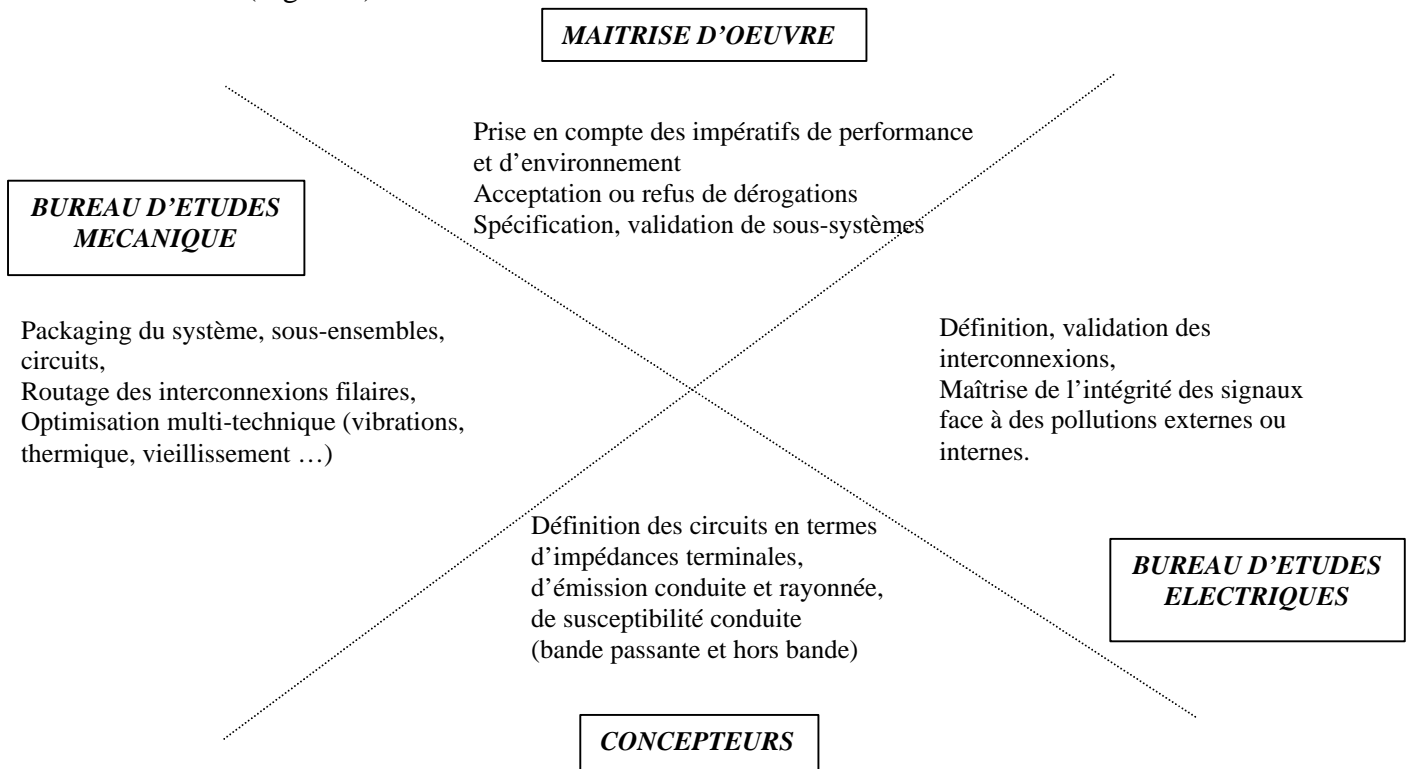


Fig 3 : Exemple de conception d'un produit donné, prise en compte des problèmes EMC.

La répartition des contraintes EMC doit être effectuée entre tous les contributeurs afin de réduire le coût final.

### 3 La CEM en micro-électronique:

L'évolution incessante vers de plus grandes densités d'intégration, avec des signaux plus rapides, des marges de bruit réduites, de nombreux niveaux d'interconnexions (5-7 niveaux métaux) ont laissé entrevoir *de formidables possibilités en matière d'intégration*.

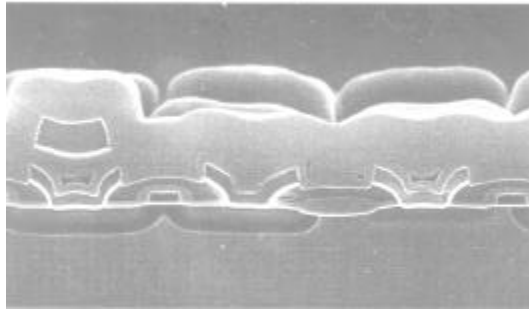


Fig 4 : Représentation au microscope électronique d'une coupe de circuit intégré CMOS.

La topologie des pistes obtenues par masquage ou gravure laser, implique la nécessité de traiter *une large gamme d'interconnexions*, qui, toujours dans le but d'augmenter la densité d'intégration, voient leurs dimensions géométriques réduites selon l'axe de leur largeur.

Dans les technologies CMOS 0.7 $\mu\text{m}$  et 0.8 $\mu\text{m}$ , les contacts et les vias entre les niveaux d'interconnexions ne pouvaient pas être superposés, ces technologies ne permettaient le plus souvent que 2 couches de routage (Figure 4).

Avec les progrès réalisés grâce à la planarisation (où l'absence de relief à chaque niveau technologique permet l'empilement des vias), cinq niveaux d'interconnexions (standard en 0.35 $\mu\text{m}$ ) peuvent être reliés à un seul contact.

Ce degré de liberté et les contacts empilés permettent pratiquement de doubler la densité sur une puce, à dimensions de transistors égales.

La formidable évolution du procédé technologique assurant la multiplication des niveaux métalliques (étape Back-End dans le procédé de réalisation d'un circuit intégré) a été développée dans le but de réduire les surfaces de silicium, et de véhiculer des signaux de plus en plus rapides.

#### 3.1 Apparition d'éléments parasites dans les lignes d'interconnexion :

L'éloignement du substrat aura pour effet de réduire la capacité vers la masse de la dite interconnexion, d'où une diminution du temps de propagation le long de la ligne, et par conséquent une légère augmentation de la fréquence de transit des signaux, ou plus exactement une diminution des temps de montée.



Avec l'évolution technologique vers les petites dimensions, les surfaces en regard entre interconnexions, deviennent proportionnellement plus grandes (Figure 5). La capacité parasite entre les conducteurs s'en trouve renforcée, la capacité vers la masse est diminuée, tandis que l'inductance augmente.

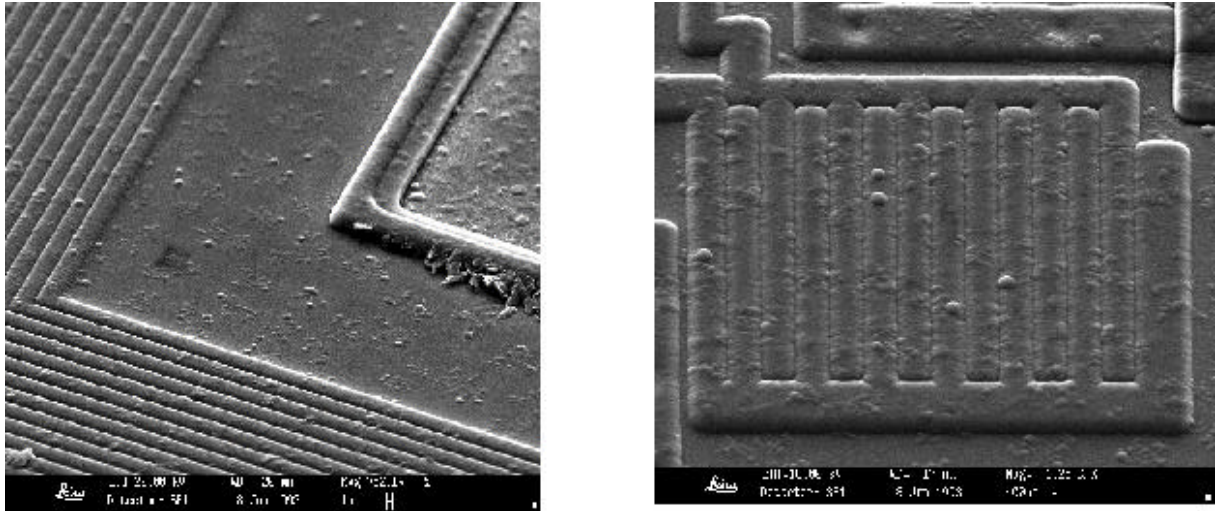


Fig 5 : Représentation au microscope électronique de lignes d'interconnexion sur silicium.

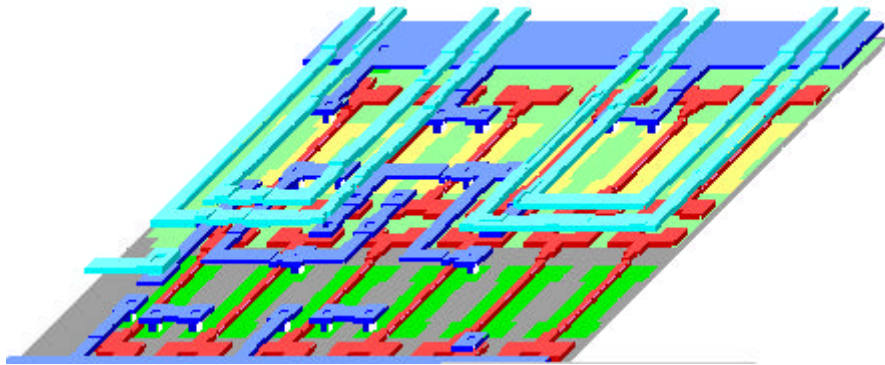


Fig 6 : Représentation CAO de lignes d'interconnexion sur substrat type prédiffusé.

### 3.2 Différents types d'interconnexions pour un système électronique :

Un système électronique peut en général se constituer :

- d'un ensemble de circuit(s) intégré(s) ,
- chaque circuit intégré pouvant être ou non encapsulé dans un package, ou bien collé sur un support (appelé substrat)



- le tout étant assemblé sur un support type circuit imprimé (Figure 7), ou micro carte, ou multi chip module présentant plusieurs plans de dépose des composants nus ou en boîtiers.

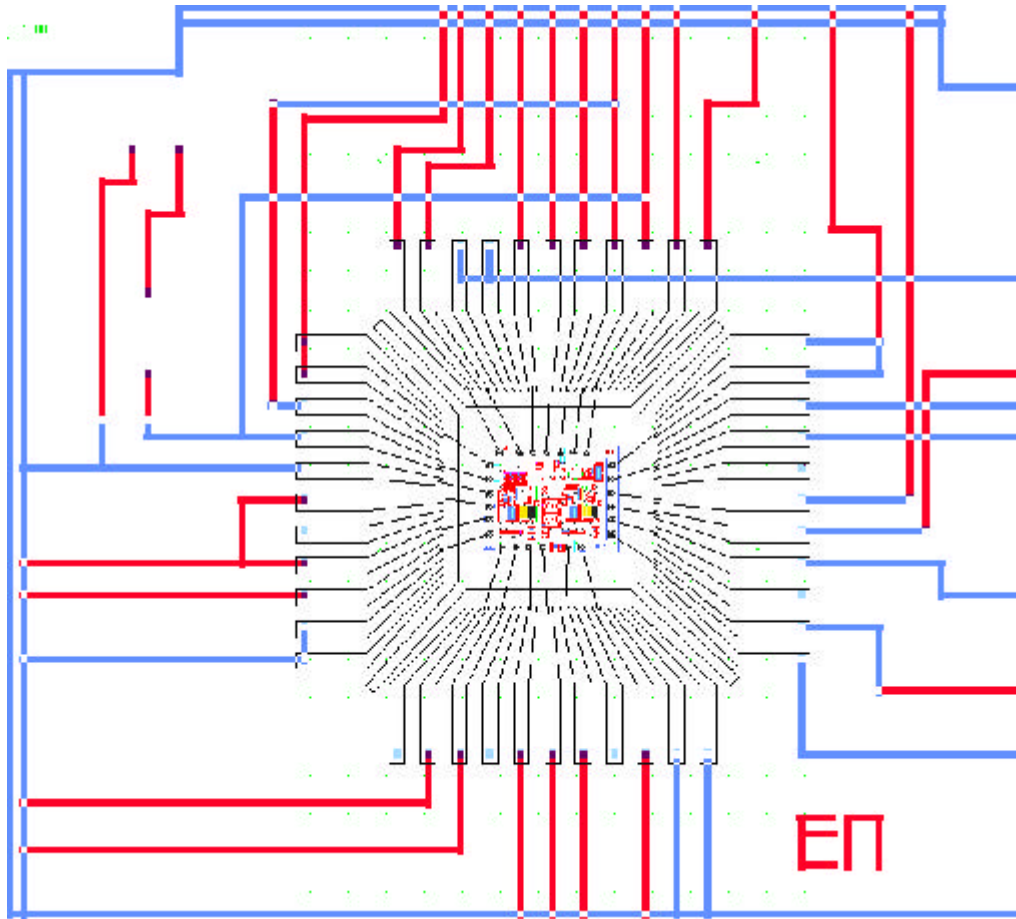


Fig 7 : Différents types d'interconnexions pour un système électronique

Remarque :

- les interconnexions depuis la puce vers le circuit imprimé ont des caractéristiques géométriques différentes, réalisés en Aluminium, Or ou autre matériau, elles peuvent être modélisées par des éléments type R, L, C qui auront des ordres de grandeur différents
- les signaux véhiculés depuis le circuit imprimé vers la puce et à l'intérieur de l'ASIC, ont des caractéristiques électriques différentes (fréquence, tension, courant)

### 3.3 Différents types de couplages pour un système électronique :

Au niveau circuit intégré, la technologie actuelle permet d'associer sur une même puce :

- des cellules logiques,
- des cellules analogiques,
- des cellules assurant la fonction de commande,
- des cellules assurant la fonction de puissance,
- des cellules assurant des liaisons RF.

Au niveau des circuits intégrés, l'étude des perturbations électromagnétiques, concerne essentiellement le couplage en mode conduit.

Cependant, plus difficile à modéliser, le couplage en mode rayonné est aussi un axe de recherche et développement très important dans le monde industriel.

Seule la mesure et quelques astuces permettent de réduire ce phénomène.

**Dans le cadre de ce cours, nous allons nous intéresser particulièrement à la modélisation de différents types de perturbations en mode conduit :**

- **la diaphonie capacitive, ou inductive**
- **la fluctuation d'alimentation (ground-bounce)**
- **le courant consommé par les alimentations,**

**Ces trois types de perturbations peuvent altérer le fonctionnement d'un circuit intégré.**

#### 4 Diaphonie capacitive (et / ou) inductive

« Couplage parasite de proximité entre interconnexions ».

On parle de diaphonie :

- *capacitive*, si le couplage entre le(s) interconnexion(s) est de type capacitif,
- *inductive (ou magnétique)*, si le couplage est réalisé par des inductances parasites.

##### 4.1 Illustration du phénomène sur un cas simple : deux inverseurs .

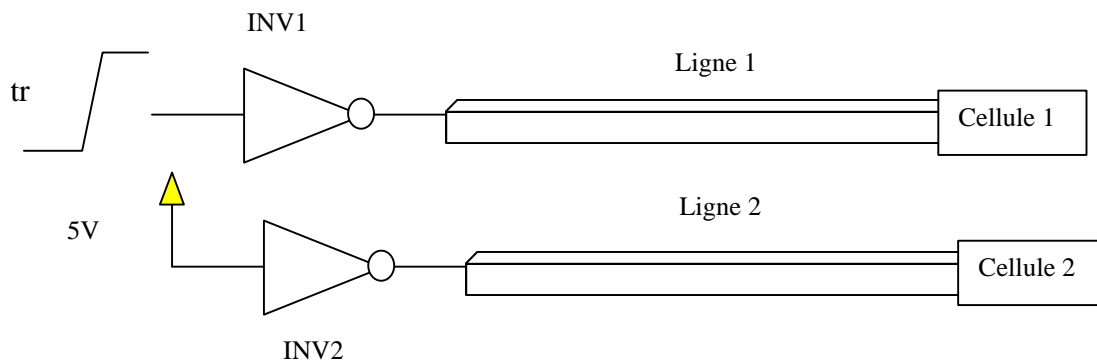


Fig 8 : Caractérisation de la commutation de deux inverseurs.

On considère un cas très simple, pour lequel on va essayer de modéliser, les éléments parasites.

Soient 2 inverseurs INV1 et INV2, on suppose que le second inverseur est au repos (connecté à VDD à l'entrée) lors de l'application du signal S1 qui est du type front avec un temps de montée  $t_r$ .

Chacune des cellules inverseuses est connectée respectivement à une cellule dont on ignore volontairement la fonction. La connexion est assurée par une ligne de métal type Métal niveau 2 par exemple.

On assure qu'il n'existe aucune connexion physique entre la ligne 1 et la ligne 2.



*Question :* Représenter le signal sur la ligne 2, lors de la commutation de INV1.

Si on considère une vue en coupe des conducteurs 1 et 2, on remarque qu'il existe des surfaces en regard entre les conducteurs. La ligne 1, à la commutation va se charger au potentiel 5V, l'oxyde  $\text{SiO}_2$ , (permittivité 3,9) est un isolant électrique en terme de conduction . Par contre l'apparition de la charge sur le conducteur 1, va entraîner la naissance d'un champ électrique, vérifiant l'équation de Laplace ( $\Delta V = \text{Cste}$ ). Il s'en suit une répartition du potentiel électrique autour du conducteur 1.

D'autre part, le substrat est polarisé (par une couche *épitaxiée* et des contacts par vias) à la masse, par conséquent son potentiel, peut être dans une première approximation, considéré comme nul.

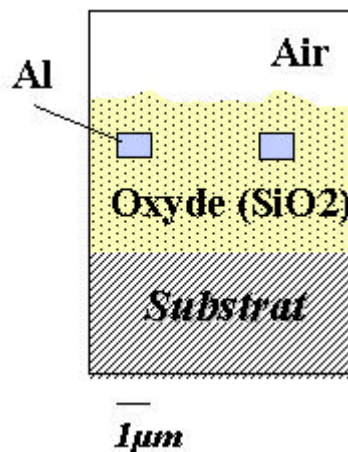


Fig 9 : Représentation en coupe de deux d'interconnexion métalliques sur silicium.

#### 4.1.1 Etude de la modélisation d'un seul conducteur sur un plan de masse :

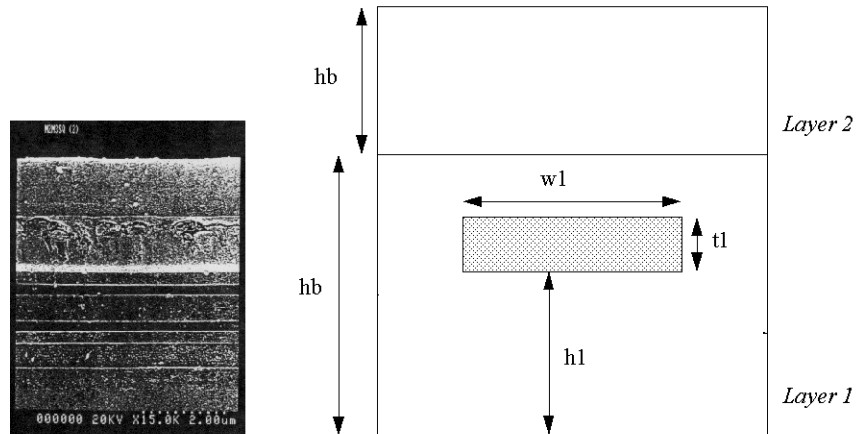


Fig 10 : Vue en coupe d'une d'interconnexion métallique sur silicium.

Des formules analytiques permettent de calculer la capacité linéique (par unité de longueur) d'un conducteur situé au dessus d'un plan de masse (Figure 10), à partir de certains paramètres représentés ci-dessus, on citera pour exemple, les formulations de Walker, Sakurai, Tamaru .

Une formulation analytique (Delorme) dans ce cas peut être :

$$C = \epsilon_0 \epsilon_r (1,13 * [w_1/h_1] + 1,443 * [w_1/h_1]^{0,11} + 1,475 * [t_1/h_1]^{0,425})$$

Avec :

C	capacité linéique du conducteur vers la masse
$\epsilon_0$	8,85 fF/mm
$\epsilon_r$	permittivité relative de l'oxyde (4 en moyenne pour le SiO2)
$w_1$	largeur de l'interconnexion
$t_1$	épaisseur de l'interconnexion
$h_1$	distance par rapport au substrat qui est supposé être uniformément polarisé à la masse.

#### Remarque : Formulation simplifiée de calcul de capacités

A noter qu'une formulation « simpliste » de la capacité plane, traduite en capacité linéique est :

$$C = \epsilon_0 \epsilon_r \frac{S}{h_1} = \epsilon_0 \epsilon_r \frac{w_1}{h_1}$$

Où : S représente les surfaces en regard,  
 $h_1$  la distance entre les deux armatures du condensateur.  
 $w_1$  la largeur de l'armature du condensateur.



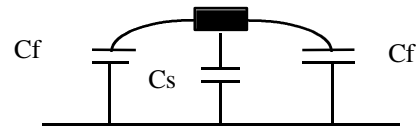
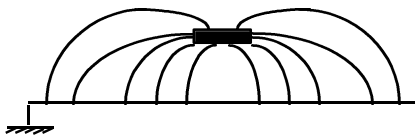
*Question* : Comparer la formule de la capacité plane, à la formulation analytique de Delorme.

La formulation de la capacité plane a longtemps été applicable n'est plus valable pour l'électronique submicronique (lié à la structure verticale des pistes).

Une bonne résolution, consiste, soit à prendre en compte des valeurs mesurées par le fondeur, ou bien de faire appel, à des logiciels permettant de résoudre numériquement l'équation de Laplace ( $\Delta V = cste$ ) avec des conditions aux limites.

#### 4.1.2 Apparition d'éléments parasites :

Analysons la raison pour laquelle, on a une capacité parasite entre les conducteurs. La Figure ci-dessous, présente les lignes de potentiel électrique entre un conducteur et un plan de masse (les lignes de champ électrique sont perpendiculaires à ces iso-potentiels).



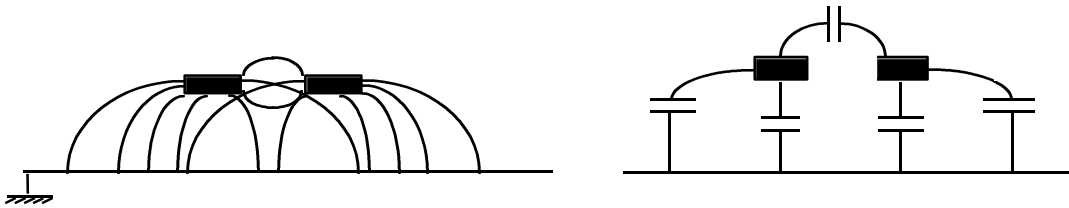
#### Commentaire :

L'apparition de lignes iso-potentiels implique la répartition de charges électrostatiques au sein de l'oxyde, d'où au contact d'un conducteur, le stockage d'une quantité de charges  $Q$ .

Par la relation  $Q = C V$  avec  $V=1V$ , la charge stockée est directement liée à la capacité intrinsèque du conducteur.

En «jargon» technique, on appelle :

- la pondération latérale des lignes iso-potentiels la Capacité Cfringe (ou Clatérale)
- la pondération surfacique des lignes iso-potentiels Csurface.



Extension du problème à 2 conducteurs :

Si on considère la configuration ci-dessus, les lignes latérales ne pouvant se refermer sur le plan de masse, il y a donc distribution de charges d'un conducteur à l'autre, d'où l'apparition d'une capacité parasite entre les 2 conducteurs.

Cette analyse bien que macroscopique laisse bien entrevoir la raison pour laquelle la réduction des dimensions des conducteurs, tend vers des interconnexions de section carré où les surfaces latérales sont du même ordre que la surface horizontale, donc  $C_{fringe}$  n'est plus négligeable devant  $C_s$ , ce qui se traduit lorsqu'on approche deux conducteurs trop près les uns des autres, par une capacité parasite  $C_{12}$  et une diminution de la capacité vers la masse.

Formulation analytique, 2 conducteurs séparés d'une distance  $d$ , sur un plan de masse :

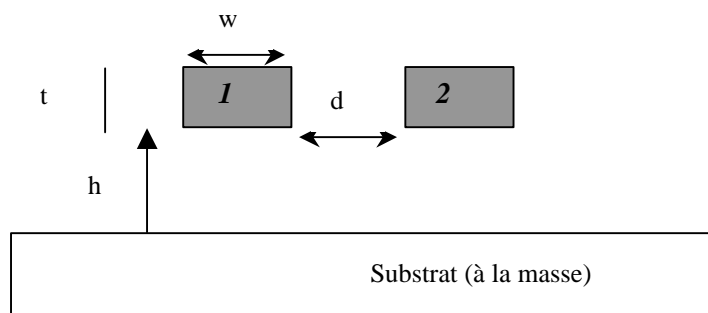


Fig 11 : Deux conducteurs au dessus d'un plan de masse.

$$C_{11} = \epsilon_0 \epsilon_r * \{ 1,106*(w/h) + [ 0,79*(w/h)^{0,1} + 0,59*[t/h]^{0,53} + [0,52*(w/h)^{0,01} + 0,46*(t/h)^{0,17} ] * (1-0,87 \exp(-d/h)) \}$$

$$C_{12} = \epsilon_0 \epsilon_r * \{ (t/d) + [1,2*(t/h)^{0,1} ] * [(d/h)+1,154]^{-2,22} + 0,253*\ln(1+7,17w/d) * [(d/h)+0,54]^{-0,64} \}$$

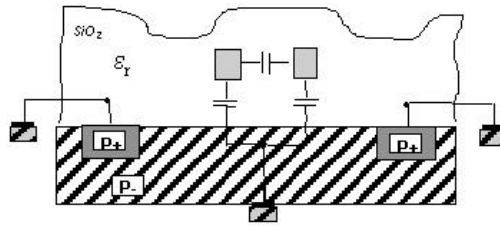


- Avec :
- C      capacité linéique du conducteur vers la masse
  - $\epsilon_0$     8,85 fF/mm
  - $\epsilon_r$     permittivité relative de l'oxyde (4 en moyenne pour le SiO<sub>2</sub>)
  - w      largeur de l'interconnexion
  - t      épaisseur de l'interconnexion
  - h      distance par rapport au substrat qui est supposé être uniformément polarisé à la masse.
  - d      distance entre les deux interconnexions.



*Question :* Donner le schéma électrique équivalent du système présenté Figure 8.

*Schéma équivalent du couplage entre les 2 inverseurs : (à compléter)*





Question : Calculer analytiquement le bruit induit sur la ligne 2, à partir du schéma électrique équivalent.

### Résolution pour un échelon complet de tension :

Le rapport de diaphonie s'écrit alors :

$$\frac{E_{2_{NE}}(\omega)}{E_{1_{NE}}(\omega)} = \frac{E_{2_{FE}}(\omega)}{E_{1_{NE}}(\omega)} = \frac{j\omega R_2 C_{12} \ell}{1 + j\omega R_2 (C_2 + C_{12}) \ell}$$

On prend comme tension d'excitation  $E_1$  une impulsion de type horloge, avec un temps de montée  $t_r$ , la durée du front bas  $t_f$  étant prise égale à  $t_r$ .

Dans le domaine de Laplace, cette tension a pour expression :

$$E_{1_{NE}}(p) = \frac{E_{1_{max}}}{t_r} \frac{1}{p^2} (1 - e^{-pt_r} - e^{-p(t_r+t_p)} + e^{-p(t_r+t_p+t_f)})$$

Finalement, on en déduit pour le bruit induit sur la ligne "victime" :

$$E_{2_{FE}}(p) = \left( \frac{C_{12}}{C_2 + C_{12}} \right) \frac{E_{1_{max}}}{t_r} \frac{(1 - e^{-pt_r} - e^{-p(t_r+t_p)} + e^{-p(t_r+t_p+t_f)})}{p \left[ p + \frac{1}{R_2(C_2 + C_{12})\ell} \right]}$$

Par transformée inverse de Laplace, on obtient en régime temporel :

$$E_{2_{FE}}(t) = t_c E_{1_{NE_{max}}} e(t) \left\{ U[t] - U[t - t_r] - U[t - (t_r + t_p)] + U[t - (t_r + t_p + t_f)] \right\}$$

où :

$$- e(t) = \frac{1 - e^{-\frac{t}{t_d}}}{t_r};$$

-  $U[t]$  est la fonction de Heavyside définie précédemment;

$$- t_c = R_2 C_{12};$$

$$- t_d = R_2 (C_2 + C_{12}) \ell.$$

La fonction  $e(t)$  croissante combinée avec les échelons  $U(t)$  donne une valeur maximale pour le bruit de diaphonie observée à  $t = t_r$  :

$$\Delta E_{2_{FE}} = E_{2_{FE_{max}}} = \frac{t_c}{t_r} (1 - e^{-\frac{t_r}{t_d}}) E_{1_{NE_{max}}} = \frac{R_2 C_{12} \ell}{t_r} (1 - e^{-\frac{t_r}{R_2 (C_2 + C_{12}) \ell}}) E_{1_{NE_{max}}}$$

#### 4.1.3 Calcul des éléments parasites type [C] par la méthode des éléments finis :

La méthode des éléments finis, permet de calculer la capacité linéique et les capacités parasites entre un ou plusieurs conducteurs et la masse.

De nombreux logiciels existent dans le commerce (Capitool, Fastcap, Microcap,...), leur principe d'utilisation est toujours le même, avec certaines étapes plus ou moins automatisées (Figure 12) :

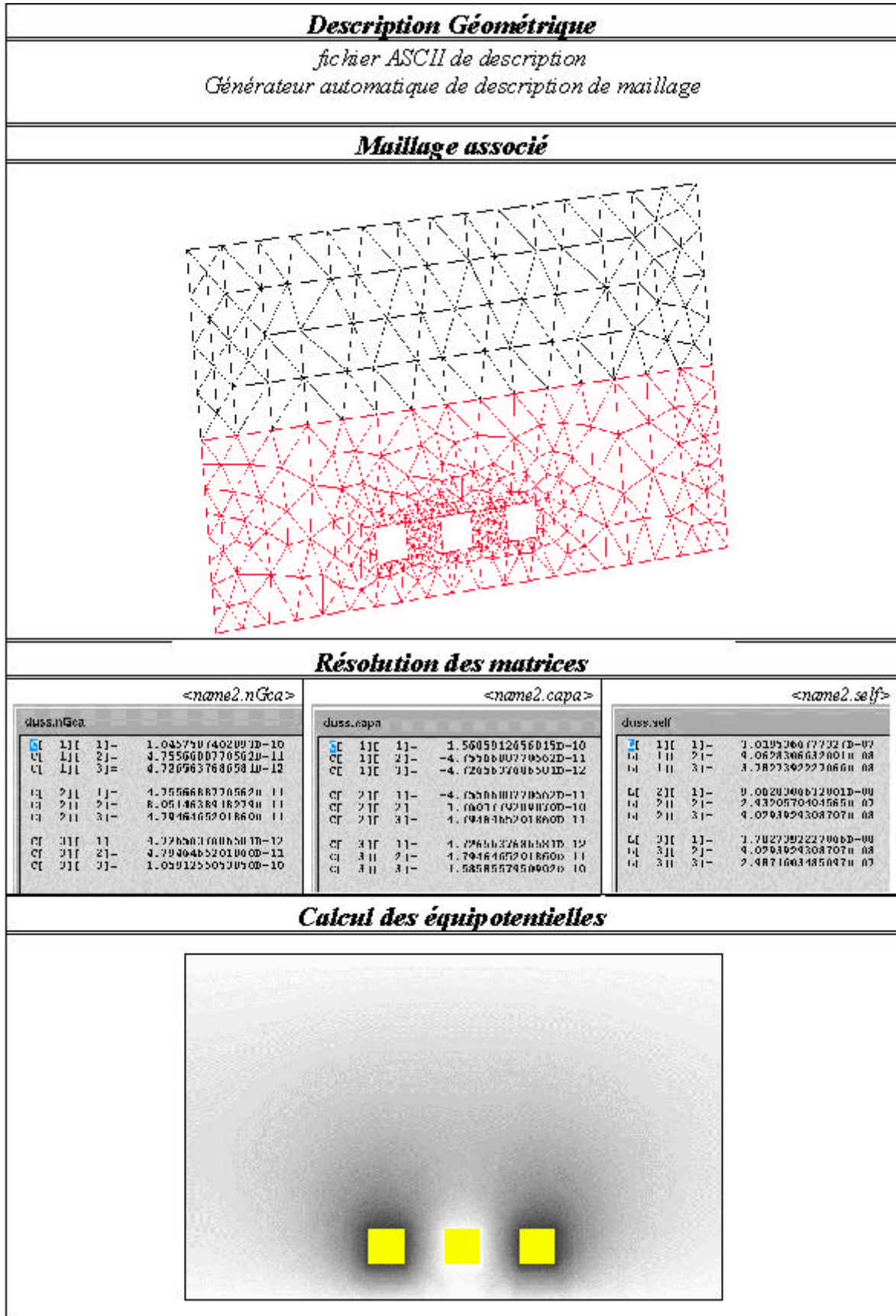


Fig 12 : Principales étapes conduisant à la résolution numérique des matrices [C] et [L] des interconnexions

Exemple : Conducteur sur un plan de masse (Figure 13)

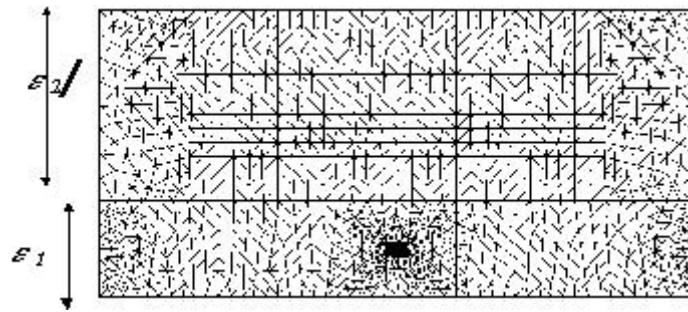


Fig 13 : Maillage associé au conducteur (à noter les différentes couches d'oxyde)

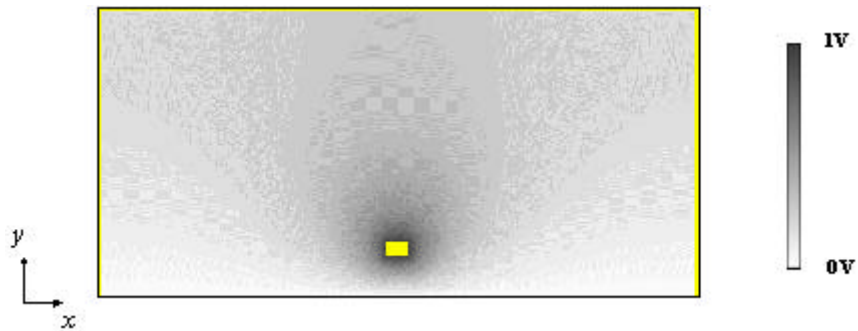


Fig 14 : Répartition dans l'oxyde du potentiel électrique

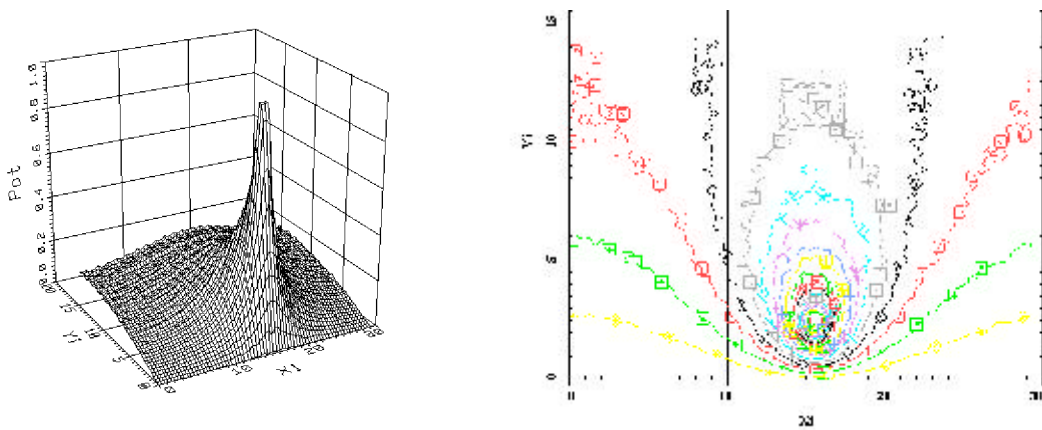


Fig 15 : Répartition dans l'oxyde des lignes iso-potentiel électrique.

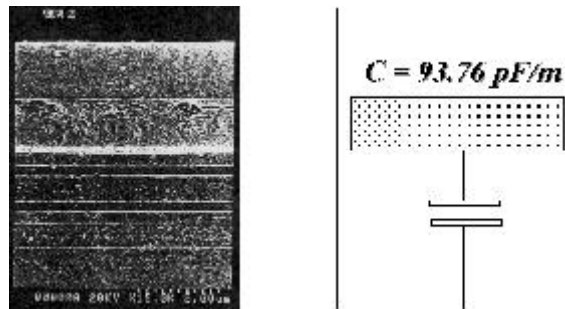


Fig 16 : Capacité linéique associée au conducteur.

#### 4.1.4 Simulation du système

Une simulation du système est présentée ci-dessous :

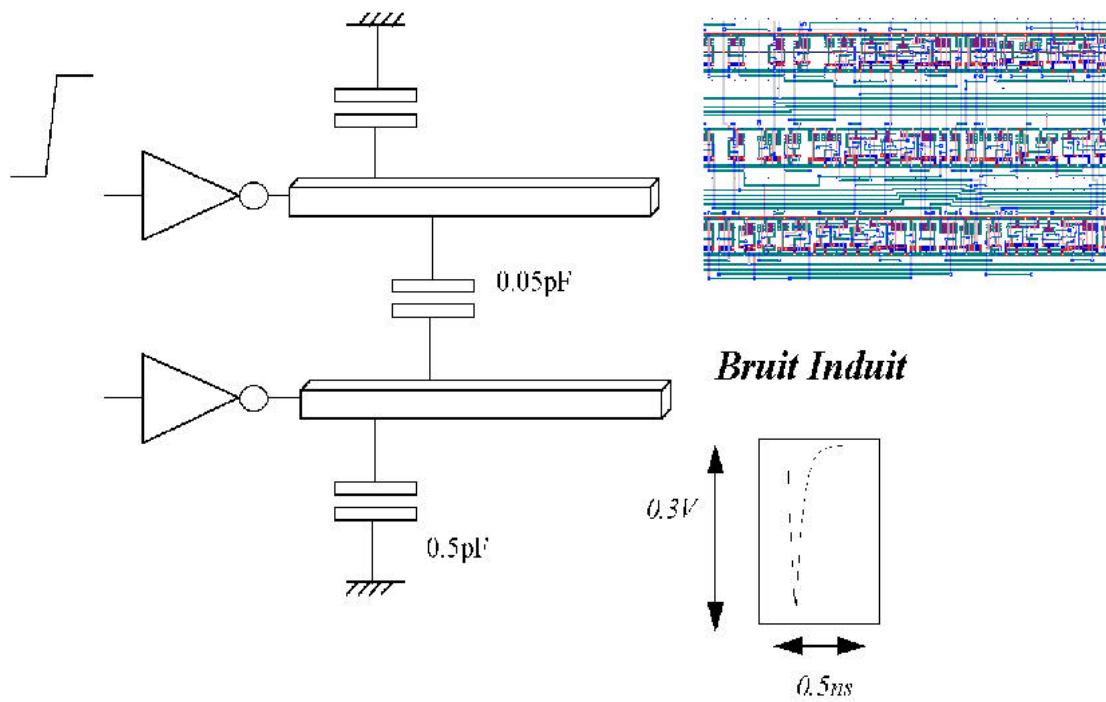


Fig 17 : Couplage parasite induit par diaphonie (simulation avec modèle capacitif)

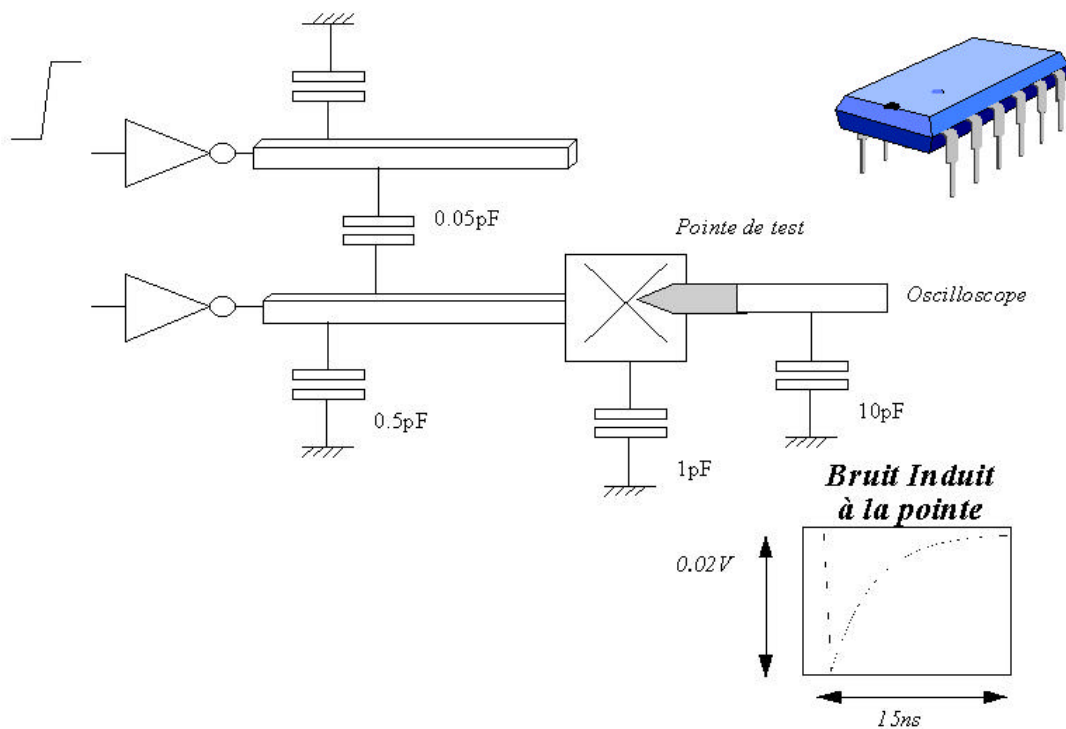


Fig 18 : Problème d'observabilité du couplage parasite induit par diaphonie



**Commentaires :**

- Il est à noter que le bruit induit sur la ligne 2 qui aurait dû être dans un état de repos présente une amplitude non négligeable (0,3V , Figure 17).
- Ce phénomène induit par des capacités parasites de faible grandeur peut être quasiment non observable en dehors du circuit intégré (Figure 18). Pourtant, si on suppose que la ligne 2 est connectée à une entrée analogique, il est assez facile de prédire un comportement erratique de la cellule bien qu'étant conforme à sa spécification.

#### 4.1.5 Calcul des éléments parasites type [L] :

Nous venons de démontrer l'apparition d'éléments parasites type capacitifs dans les interconnexions.

A partir de cette configuration électrostatique démontrée, les paramètres inductifs pourront être déduits, si on considère des fréquences de fonctionnement pour lesquelles la composante longitudinale des champs électrique E et magnétique H sont négligeables.

*De ce fait, le mode de propagation de l'onde le long de l'interconnexion est quasi-transverse, (approximation T.E.M).*

L'obtention des coefficients capacitifs à partir des équations de Maxwell se déduira de la répartition des charges des conducteurs, elle même déduite de la répartition du potentiel électrique, en fonction des conditions aux limites imposées.

Cette méthode très souvent employée par les logiciels de résolution numérique a ses limites, surtout dans le domaine submicronique, pour lequel on préférera, utiliser une résolution numérique avec un raisonnement dual, appliqué sur le potentiel vecteur.

Il existe également des formulations analytiques d'inductances linéiques, comme dans le cas de capacités parasites :

Une formulation analytique dans ce cas peut être :

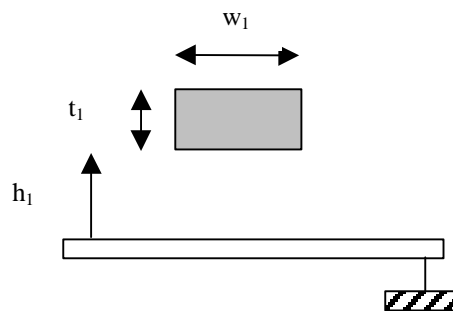


Fig 19 : Conducteur sur un plan de masse.

$$L1 = \mu_0 \mu_r * (1/2\pi) \ln( [8h_1/w_1] + [w_1/4h_1] )$$

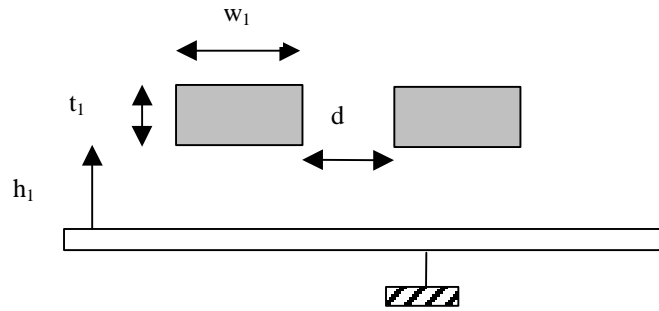


Fig 20 : Deux conducteurs sur un plan de masse.

$$L_{12} = \mu_0 \mu_r \cdot (1/4\pi) \cdot \ln\left\{ \frac{([d+4w_1]^2 + [1.5w_1+2h_1]^2)}{([d+w_1]^2 + [1.5w_1]^2)} \right\}$$

Avec :

L1 inductance linéique

L12 inductance mutuelle

$\mu_0 = 1.257 \cdot 10^{-6}$  H/m et  $\mu_r = 1$  (perméabilité magnétique de l'air)

$w_1$  largeur de l'interconnexion

$t_1$  épaisseur de l'interconnexion

$h_1$  distance par rapport au substrat qui est supposé être uniformément polarisé à la masse.

**Remarque :**

- A noter que l'influence de l'épaisseur de la ligne n'est pas prise en compte, ce qui peut laisser présumer d'un domaine de validité pour une certaine topologie de pistes (épaisseur négligeable devant la largeur de piste, hypothèse non valable en submicronique).
- L'introduction dans la modélisation d'élément type inductif, va traduire des retards dans la propagation le long des lignes, propagation qui s'effectue à la vitesse  $v$ , où  $v = c/\sqrt{\epsilon_r}$  ( $c = 30\text{cm/ns}$ ,  $\epsilon_r=3.9$  pour le  $\text{SiO}_2$ )

4.1.6 Calcul des éléments parasites type [R] :

L'évolution des technologies vers les petites dimensions tend vers des sections de conducteurs de plus en plus petites.

Or la résistivité d'un conducteur se définit selon la relation :

$$R = r \frac{l}{S}$$

où  $\rho$  représente la résistivité du matériau,  $l$  longueur de l'interconnexion,  $S$  surface de la section.

On définit, la *résistance par carré d'une interconnexion*, comme étant une portion du conducteur dont la longueur est égale à la largeur.

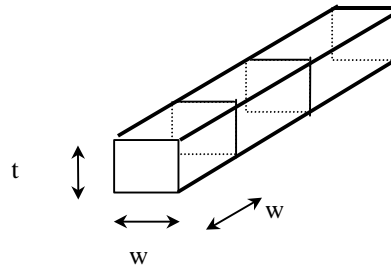


Fig 21 : Conducteur découpé en « carrés » élémentaires.

Sur un tronçon élémentaire (Figure 21) on a :

$$R_{\text{élémentaire}} = r \frac{w}{w * t} = \frac{r}{t}$$

Cette résistance élémentaire est appelée la résistance par carré, et **notée  $R_{\square}$**

Donnons quelques valeurs typiques de résistivité :

$$\rho_{\text{Al}} = 0.0277 \text{ } \Omega/\mu\text{m} \text{ (Aluminium)}$$

$$\rho_{\text{Cu}} = 0.0172 \text{ } \Omega/\mu\text{m} \text{ (Cuivre)}$$

$$\rho_{\text{Tu}} = 0.0530 \text{ } \Omega/\mu\text{m} \text{ (Tungstène)}$$

**Remarque :**

La section du conducteur est en fait constituée par différents types de matériaux (Nitrures, Titane, etc qui ont des propriétés très résistives.) utilisés comme support assurant l'accrochage de la piste dans l'isolant..

Par exemple, en technologie 0,25 $\mu\text{m}$ , cette couche d'accrochage située en bas et sur les côtés (procédé de Damascene) atteint 0,15 $\mu\text{m}$ .

Il s'en suit que la résistance des interconnexions submicroniques augmente avec les nouvelles technologies. Les données suivantes extraites de DRM (Design Rule Methods) fondeurs justifient cette remarque.

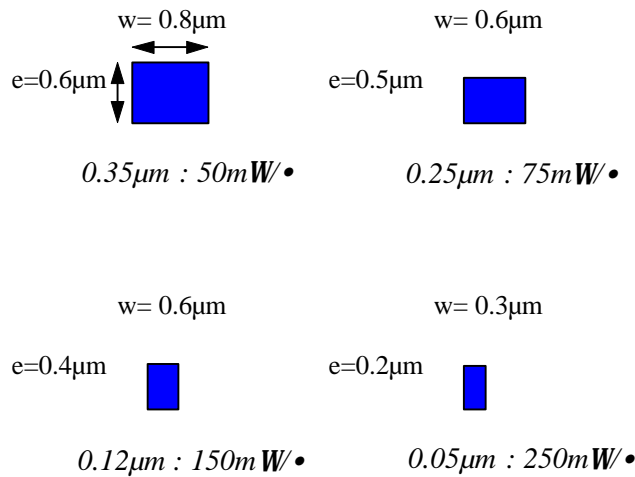


Fig 22 : Evolution de R avec la technologie, données fondeurs.

Un via entre deux niveaux différents d'interconnexions présente une résistance de l'ordre de 1 Ohm (technologie 0,25μm) et 10 Ohms (technologie 0,05μm) (Figure 23).

Si on considère qu'une équipotentielle à une forte probabilité, suite au routage automatique de rencontrer, un via tous les 100μm, la prise en compte des vias n'est plus négligeable.

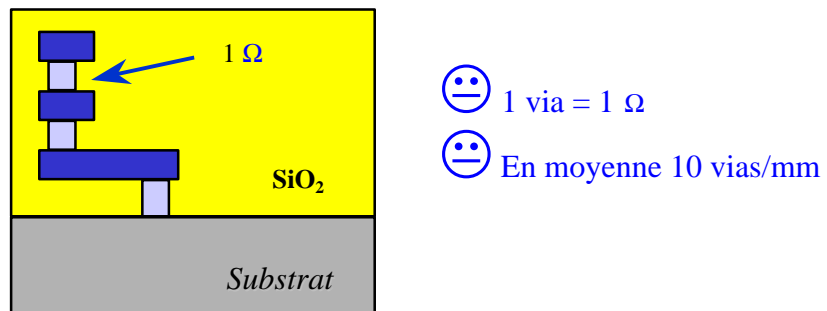


Fig 23 : Empilement de vias, effet résistif.

#### 4.1.7 Effet de peau :

Les résistances que nous venons de modéliser, vont voir leur valeur varier en fonction de la fréquence des signaux véhiculés.

En effet, avec l'augmentation de la fréquence du signal véhiculé, la circulation des charges se retrouve repoussée à la périphérie du conducteur : c'est *l'effet de peau*.

La densité de courant dans le conducteur s'écrit :

$$J(z) = J_0 \exp\left(-\frac{z}{d}\right)$$

Avec :

$J_0$  amplitude réelle du courant à la surface du conducteur,  
 $z$  profondeur  
 $\delta$  épaisseur de peau, variant selon l'expression :

$$d = \sqrt{\frac{2}{2\pi F \mu_0 \gamma}}$$

avec :  $F$  fréquence du signal  
 $\mu_0 = 1,257 \cdot 10^{-6}$  H/M, perméabilité du vide  
 $\gamma$  = conductivité (Cu :  $58 \cdot 10^6$  S/m)

- 1GHz, la profondeur de peau est de 2.1  $\mu\text{m}$ ,
- 10 GHz, 0.6  $\mu\text{m}$ ,
- 100 GHz, 0.21  $\mu\text{m}$ .

Pour une interconnexion submicronique, la section efficace du courant coïncide (dans une certaine bande de fréquences) avec la section du conducteur. Par contre, au niveau des leads des boîtiers, l'effet de peau créé une augmentation de la résistance de ligne pour des fréquences de l'ordre du GHz.

#### 4.2 Différents modèles de couplage :

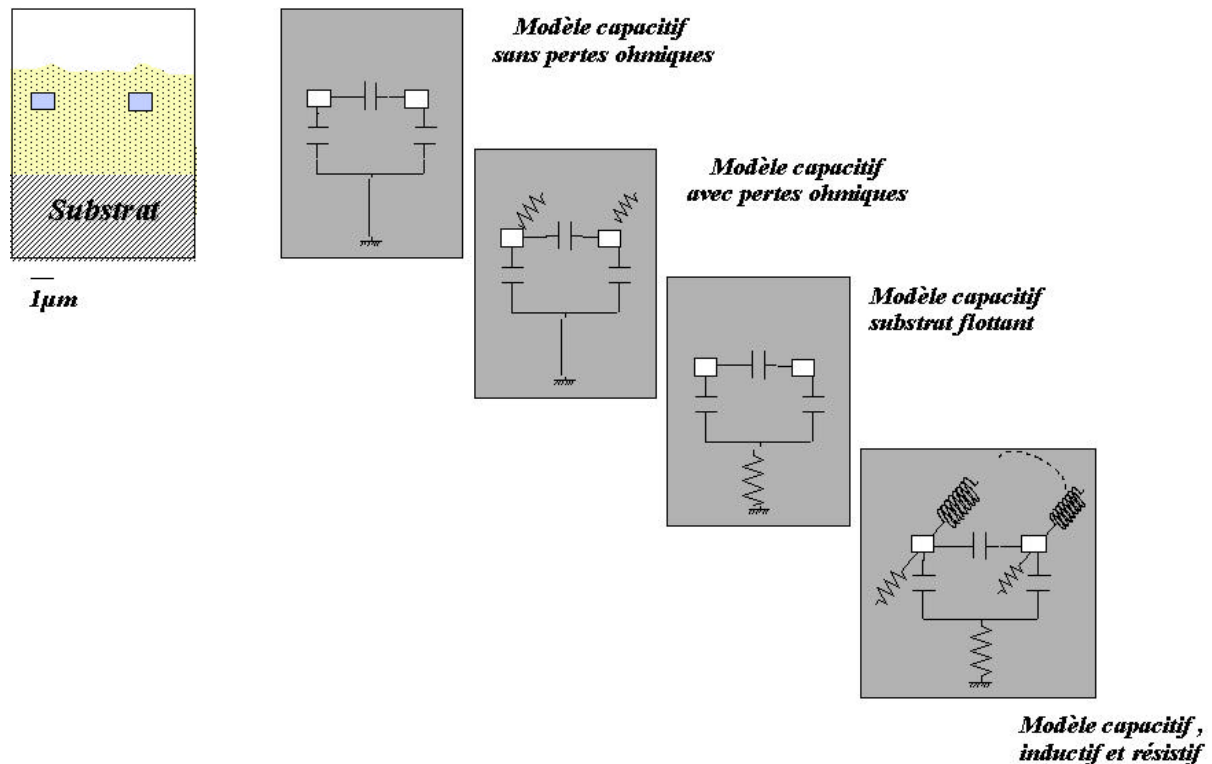


Fig 24 : Différents modèles de couplage au niveau circuit intégré pour deux interconnexions.

Remarque :

Dans tous les calculs d'éléments parasites ([C] et [L]) nous avons considéré que le substrat se comportait comme un plan de masse à sa surface (bien qu'étant éloignée de la couche d'épithaxie qui elle est uniformément polarisée à la masse).

En haute fréquence, le substrat devient de moins en moins bon conducteur, il s'en suit une moins bonne polarisation en surface. Cette variation du « niveau de masse effectif », peut être traduit par une résistance de polarisation du substrat.

A noter qu'afin d'éviter ce genre de phénomène, on prendra soin dans le design, **d'ajouter des anneaux de garde polarisés à la masse** (Figure 25).

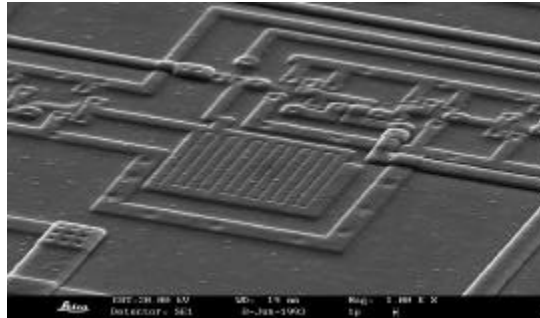


Fig 25 : Visualisation au microscope électronique des contacts de polarisation substrat..

4.2.1 Exemple : Comparaison entre le modèle [C] et le modèle [C]+[L] :

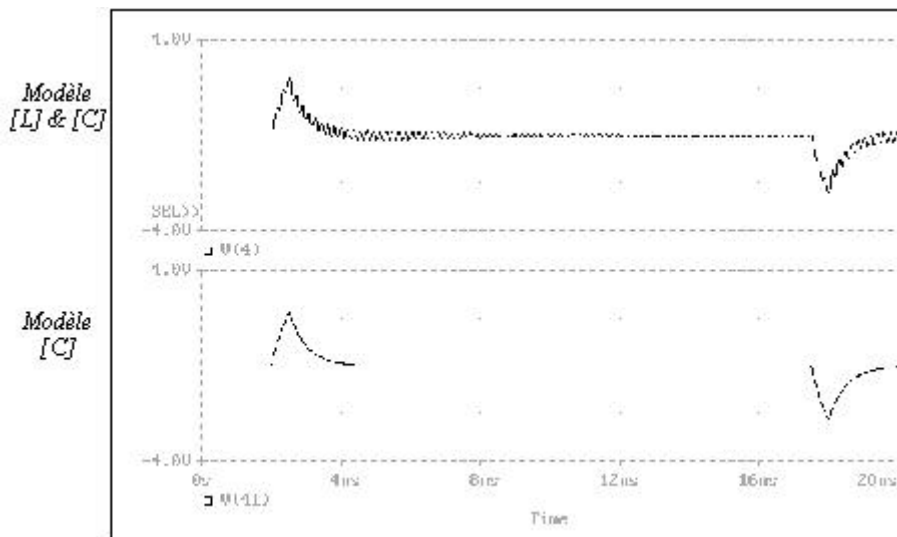


Fig 26 : Forme générale d'onde induite, couplage de type [C], et couplage de type [C]+[L]



### 4.3 Calcul de la contribution de bruit sur le layout

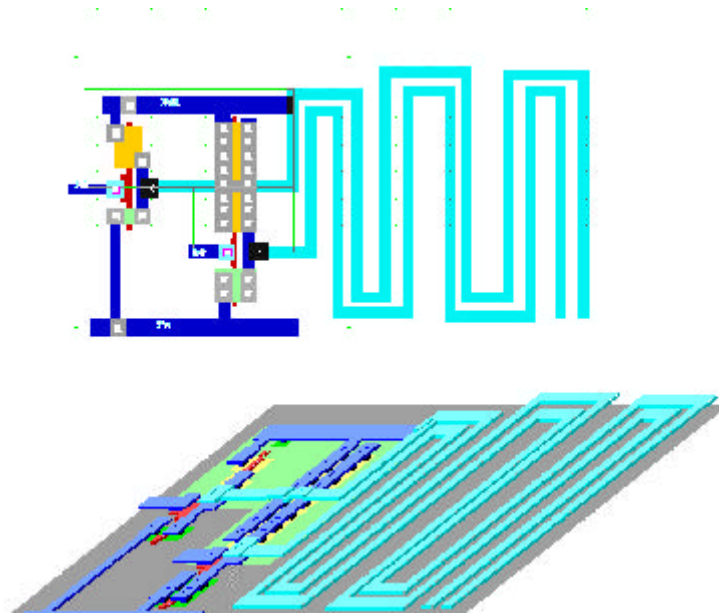


Fig 27 : Layout des cellules de circuit intégré étudié.

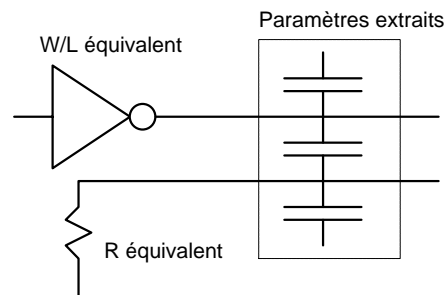


Fig 28 : Netlist à extraire à partir du dessin de layout de circuit intégré.

Pour calculer la contribution de bruit, nous devons remonter jusqu'aux modèles des générateurs de bruit et résistances de rappel. Nous devons donc extraire du dessin la valeur des paramètres suivants :

- la taille de l'inverseur équivalent qui génère le bruit (largeur et longueur de grille donnée par l'intersection diffusion/polysilicium)
- la résistance associée qui rappelle la ligne à un potentiel fixe,
- les éléments parasites des interconnexions ([R], [L], [C])

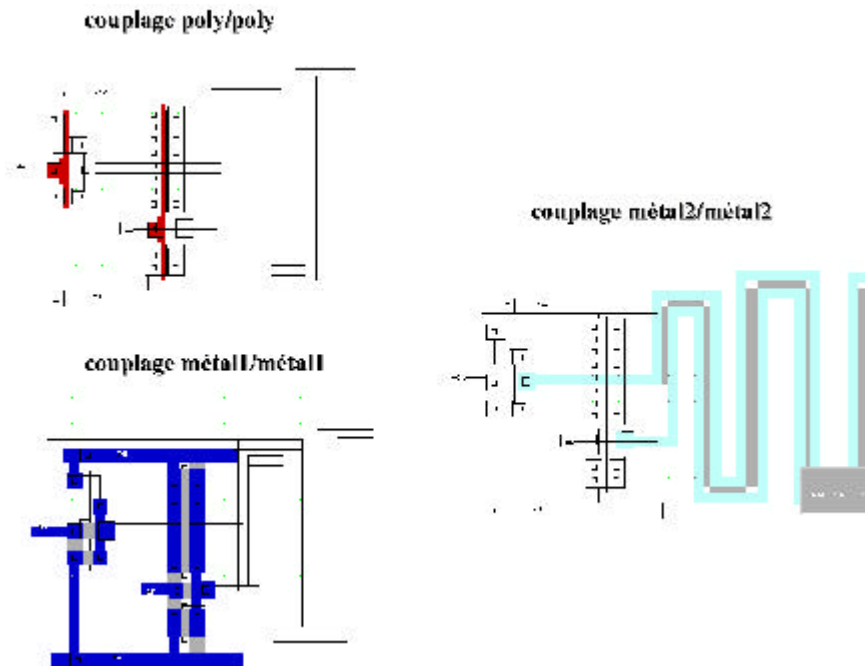


Fig 29 : Représentation des étapes d'extraction des capacités parasites.

```

* CIRCUIT trivial.CIR

* IC Technology: ES2 0.7micron CMOS 5V

VDD 1 0 DC 5.0
V6 6 0 PULSE(0.00 5.00 1.50N 0.50N 0.50N 1.50N 4.00N)
V7 7 0 PULSE(0.00 5.00 1.75N 0.25N 0.25N 1.75N 4.00N)

* List of node numbers

* "S2" correspond to nø 3

* "S1" correspond to nø 4
* "In1" correspond to nø 6
* "In2" correspond to nø 7
C3 3 0 39.058fF
C4 4 0 26.250fF
C34 3 4 31.976fF
C46 4 6 5.097fF
C73 7 3 2.056fF
C6 6 0 19.447fF
C7 7 0 36.443fF
MN1 0 7 3 0 TN W= 6.40U L= 0.80U
MN2 0 6 4 0 TN W= 2.40U L= 0.80U
MP1 1 7 3 1 TP W=10.00U L= 0.80U
MP2 1 6 4 1 TP W= 6.00U L= 0.80U
* n-MOS Model :
.MODEL TN NMOS LEVEL=3 VTO=0.80 KP=135.000E-6
+LD =-0.100U THETA=0.100 GAMMA=0.100
+PHI=0.700 LAMBDA=0.010 VMAX=130.00K
* p-MOS Model :
.MODEL TP PMOS LEVEL=3 VTO= -1.02 KP=47.000E-6
+LD =-0.100U THETA=0.100 GAMMA=0.100
+PHI=0.700 LAMBDA=0.010 VMAX=100.00K

```

Fig 30 : Netlist extraite depuis le layout de circuit intégré (modèle capacitif pur).

Nous devons analyser tour à tour chaque connexion comme coupable puis comme victime. Nous calculons donc l'amplitude du bruit généré par une transition E1 sur S1 et par couplage sur S2, puis celle du bruit E2 sur S2 et par couplage sur S1.

Dans le premier cas, le bruiteur est de petite taille ( $W=2.4\mu\text{m}$ ), donc le bruit sera faible. Dans le second, il est de plus grande taille ( $W=6.4\mu\text{m}$ ) donc le bruit sera plus fort.

Le calcul de l'amplitude du bruit en bout de ligne peut utiliser par exemple les formules analytiques capacitatives présentées précédemment. Il est donc possible de manière analytique de calculer l'amplitude du bruit de couplage généré sur chaque fil par ses "voisins".

Remarque :

S'il y a plusieurs "voisins", le couplage résultant est supposé comme étant la somme algébrique des contributions de bruit. Cette considération correspond au pire des cas, c'est-à-dire quand toutes les lignes voisines d'une victime commutent dans le même sens et de manière parfaitement synchrone, afin que leur contribution de bruit s'ajoutent.

Le résultat du calcul des amplitudes de bruit est représenté sur le *layout* en "allumant" les noeuds supérieurs à un seuil de tolérance fixé par l'utilisateur.

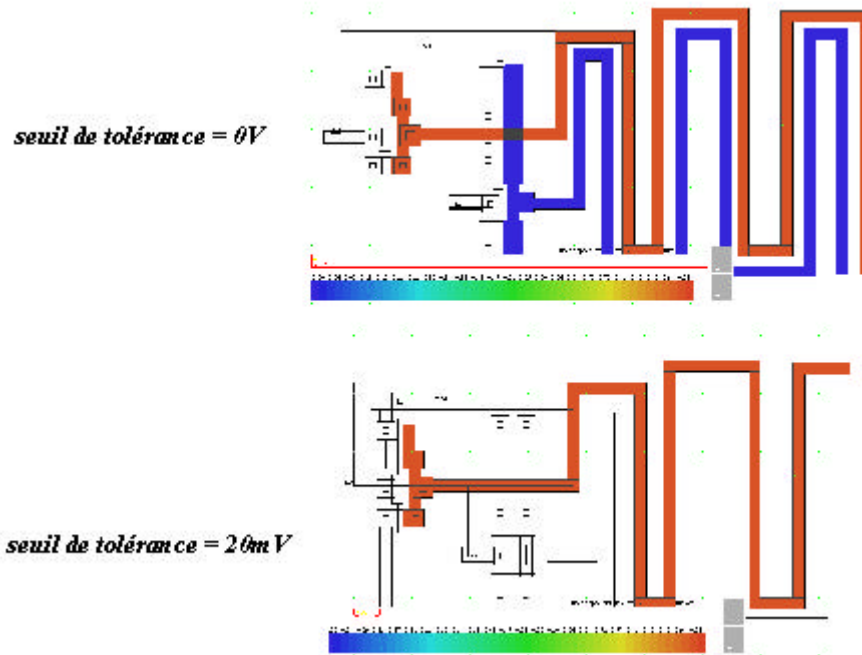


Fig 31 : Localisation des zones "à risques" en fonction du niveau de tolérance.

#### 4.4 Approximation quasi-TEM et modèle localisé

Soit à modéliser une ligne longue dont une section est présentée Figure 32, correspondant à une ligne de type circuit imprimé ou multi-chip-module (strip line).

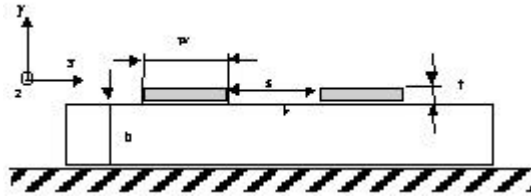


Fig 32 : Dessin en coupe de deux lignes type micro-ruban (micro-cartes et/ou MCM, PCB)

A priori vu la topologie des lignes, les capacités parasites inter lignes mises en jeu sont moins importantes que pour une ligne de type circuit intégré décrit ci-dessus.

En outre, les connexions entre ces composants sont relativement distantes les unes des autres (la longueur de connexion  $\ell$  = plusieurs centimètres).

Il faut donc tenir compte du retard de propagation dans la ligne qui n'est plus négligeable (de l'ordre de  $100 \text{ ps/cm}$ ). La vitesse de propagation étant celle de la lumière divisé par la racine carrée de la permittivité moyenne du milieu traversé.

Pour le calcul du courant et de la tension en tout point de la ligne, on prend comme hypothèse *l'approximation quasi-TEM*.

Cela revient à négliger les variations de phase  $\Delta\phi$  sur la ligne, ce qui peut s'écrire:

$$\Delta\phi = \frac{2\pi\ell}{\lambda} \ll \frac{\pi}{2}.$$

Le critère d'application de l'approximation quasi-TEM pour la longueur physique  $\ell$  de la ligne est alors :

$$\ell \ll \frac{\lambda}{4}$$

avec :

$$\lambda = \frac{v}{f}$$

où :

- $v$  est la vitesse de propagation dans le milieu homogène considéré.
- $f$  est la fréquence de travail.

En général, on prend comme *condition suffisante* :

$$\ell < \frac{\lambda}{10} \quad (*)$$

Les signaux véhiculés par nos interconnexions (qui se comportent comme des lignes de transmission) sont des signaux logiques avec des temps de commutation très courts (de l'ordre de la nano-seconde, ou du dixième de nano-seconde).

Pour une perméabilité relative  $m_r$  quasi unitaire (pour un conducteur métallique cuivre (Cu),  $m_r=0.99$ ), et une permittivité relative  $e_r$  pouvant aller de 2.3 à 8.1 suivant la nature du substrat pour les PCB, la longueur d'onde est comprise entre :

$$l = l_0 \frac{1}{\sqrt{e_r}} = \frac{c}{f} \frac{1}{\sqrt{e_r}} \in [1.3, \dots, 13.8] \text{ cm}$$

où :

- $\lambda_0$  = longueur d'onde dans le vide (m);
- $c$  = vitesse de la lumière en espace libre,  $c \cong 3.10^8$  (m/s).

Le plus souvent, les longueurs  $l$  de lignes PCB sont comprises dans cette plage de valeurs.

La condition (\*) n'est donc plus valable.

On prend donc comme modèle de lignes le modèle localisé qui divise la ligne en tronçons élémentaires  $dz$  suffisamment courts pour appliquer la condition de propagation d'ondes quasi-TEM (Figure 33).

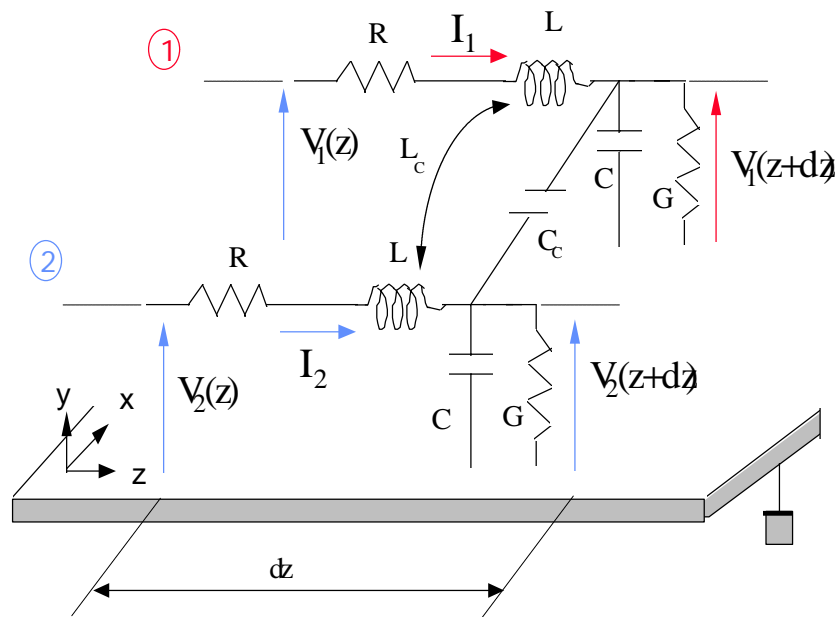


Fig 33 : Modèle localisé pour un tronçon de ligne de longueur  $dz$ , modèle de couplage R, L, C.

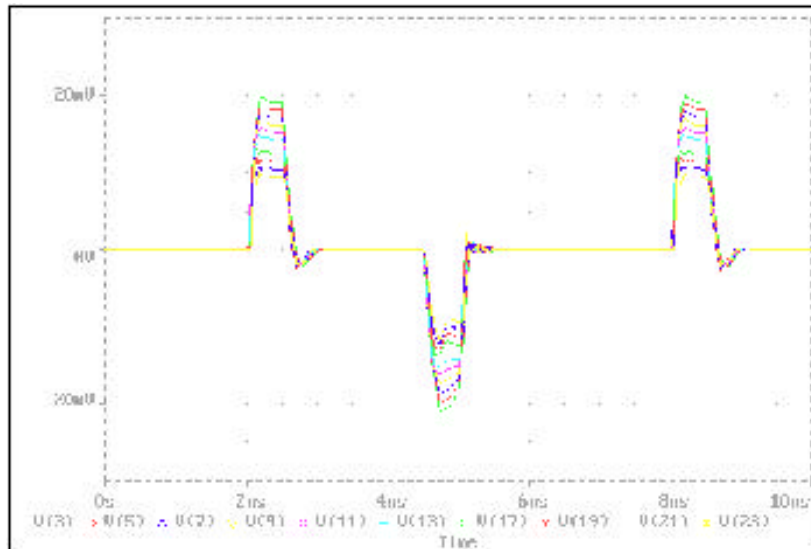


Fig 34 : Evolution du bruit induit le long de la ligne PCB (near-end, far-end crosstalk).

En ce qui concerne l'évolution de l'amplitude du bruit induit le long de la ligne, on remarque que l'amplitude de l'onde induite décroît (ou croît) le long de la ligne (Figure 34).

***Cette amplitude n'est plus constante le long de la ligne de transmission, on parlera de crosstalk (diaphonie) near-end (début de ligne) et far-end (fin de ligne).***

Il existe donc une onde réfléchie de long de l'interconnexion, d'où la nécessité d'adapter en impédance la ligne considérée, par une impédance terminale  $Z$  selon l'expression :

$$Z = \sqrt{\frac{L}{C}}$$

On démontre donc l'existence d'une impédance caractéristique de ligne, notée  $Z_0$ , fonction de la permittivité électrique et de la fréquence.

En général on aura  $Z_0$  variant de 70 à 130  $\Omega$ .

## 5 Valeurs d'éléments parasites

### 5.1 Capacités Circuit Intégré Niveau Métal1, technologie 0,7 $\mu$ m :

On modélise la coupe technologique présentée Figure 35, comportant 3 lignes type Métal1, flottant au dessus d'un substrat uniformément polarisé à la masse.

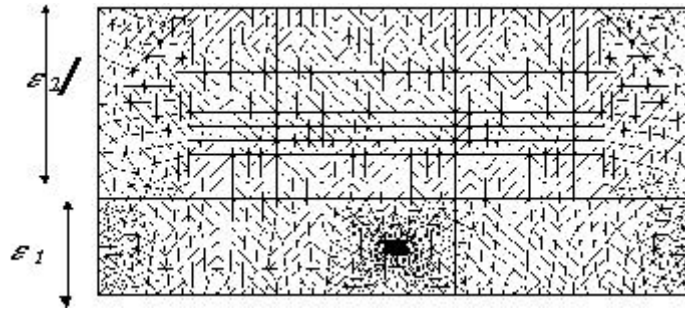


Fig 35 : Représentation d'un maillage, un conducteur sur un plan de masse.

Le résultat donné par un solveur est donné ici à titre d'exemple :

Matrice [C] généralisée: (F/ m)

$$\begin{array}{lll} C_{11}=1.748653e-10 & C_{12}=-5.597934e-11 & C_{13}=-3.158757e-12 \\ C_{21}=-5.597934e-11 & C_{22}=1.994491e-10 & C_{23}=-5.597934e-11 \\ C_{31}=-3.158757e-12 & C_{32}=-5.625531e-11 & C_{33}=1.748653e-10 \end{array}$$

Matrice [L] : (H/ m)

$$\begin{array}{lll} L_{11}=2.662988e-07 & L_{12}=8.145892e-08 & L_{13}=3.276683e-08 \\ L_{21}=8.145892e-08 & L_{22}=2.575183e-07 & L_{23}=8.168369e-08 \\ L_{31}=3.276683e-08 & L_{32}=8.168369e-08 & L_{33}=2.662055e-07 \end{array}$$

Remarque :

- Il ne faut pas être surpris de voir apparaître des valeurs négatives dans les coefficients capacitifs, cela provient du type d'algorithme de calcul utilisé. Dans ce cas on parle de résolution par matrice généralisée.
- La valeur de la capacité, de la piste 2 vers le plan de masse ( qui en fait est le rectangle de métal2), est donnée par la relation :

$$C_{2s} = C_{22} + C_{12} + C_{21}$$

$$D'où C_{2s} = 1.994491e-10 -5.597934e-11 -5.597934e-11 = 87.49042 e-12$$



Questions :

Comparer  $C_{11}$  et  $C_{22}$  capacités linéiques vers la masse du conducteur 1 et 2 qui sont du même type.

Comparer  $C_{12}$  et  $C_{23}$

Comparer  $C_{12}$  et  $C_{13}$ .

Les résultats sont-ils cohérents ?...

## 5.2 Capacités Circuit Imprimé micro-cartes, technologie assemblage 3D, pistes juxtaposées :

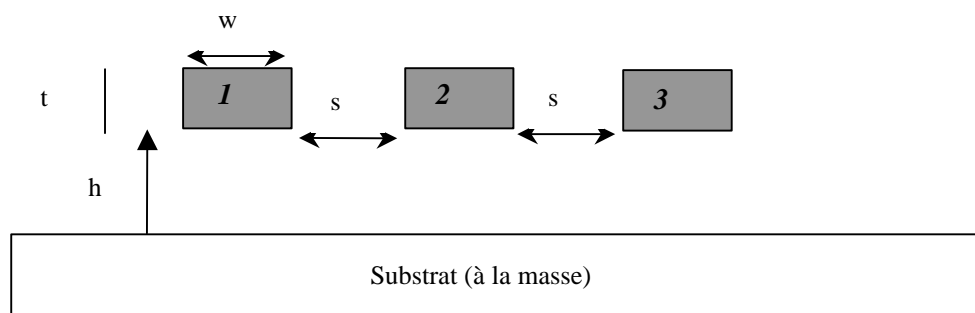


Fig 36 : Configuration de lignes simulées.



Question : Compléter le schéma Figure 36, en ajoutant les éléments parasites capacitifs



Le calcul des matrices [C] pour la coupe donnée est effectué en faisant varier certains paramètres.

Les paramètres étudiés sont:

- ♦ t, épaisseur du conducteur, variant entre 5 et 10  $\mu\text{m}$ .
- ♦ h, hauteur d'oxyde, variant entre 20 et 60  $\mu\text{m}$ .

Six cas ont été simulés, le tableau ci-dessous présente les valeurs des paramètres géométriques simulés.

cas 1	cas 2	cas 3	cas 4	cas 5	cas 6
w = s = 25 $\mu\text{m}$	w = s = 25 $\mu\text{m}$	w = s = 25 $\mu\text{m}$	w = s = 25 $\mu\text{m}$	w = s = 25 $\mu\text{m}$	w = s = 25 $\mu\text{m}$
t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$	t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$	t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$
h = 20 $\mu\text{m}$	h = 20 $\mu\text{m}$	h = 40 $\mu\text{m}$	h = 40 $\mu\text{m}$	h = 60 $\mu\text{m}$	h = 60 $\mu\text{m}$

Configuration de lignes simulées Figure 36, caractéristiques géométriques.

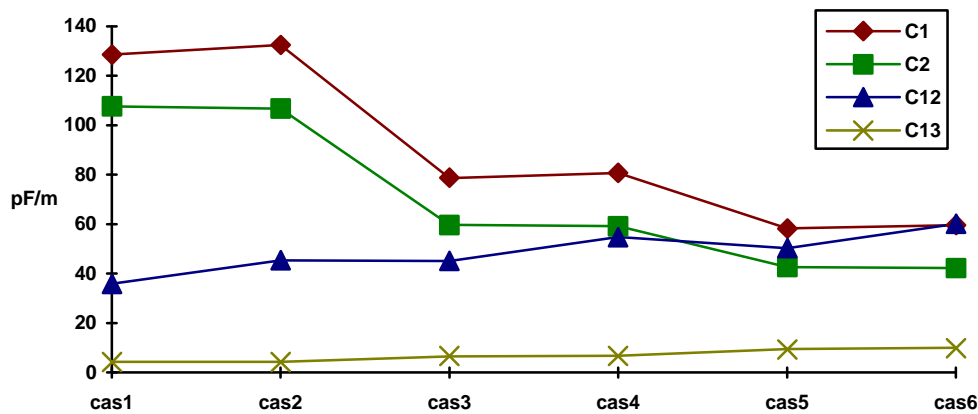


Fig 37 : Configuration de lignes type 1, capacités linéiques en aF/ $\mu\text{m}$ .



Question : Commenter les courbes de la Figure 37.  
Expliquer la différence entre C1 et C2.

Une analyse générale permet de remarquer que les capacités vers la masse, C1, et C2 diminuent avec l'augmentation de la distance h, par rapport au plan de masse. Parallèlement les capacités parasites C12 et C13 varient en phase, avec l'augmentation de h.

Si on s'intéresse à la différence entre les cas d'étude pairs (cas 2, cas 4, cas 6) et impairs (cas 1, cas 3, cas 5), qui correspondent respectivement à une piste d'épaisseur 5 $\mu\text{m}$  ou 10 $\mu\text{m}$ , elle se situe surtout dans l'augmentation de la capacité de couplage parasite Cij. Son effet sur la capacité vers le substrat est relativement négligeable. Cette constatation est bien évidemment

en accord avec l'intuition, que plus la piste est large et plus le couplage parasite entre les lignes est important.

Autre remarque : la différence entre C1 et C2, permet de vérifier l'hypothèse du couplage par effet de bord présentée précédemment.

### 5.3 Capacités Circuit Imprimé micro-cartes, technologie assemblage 3D, pistes superposées :

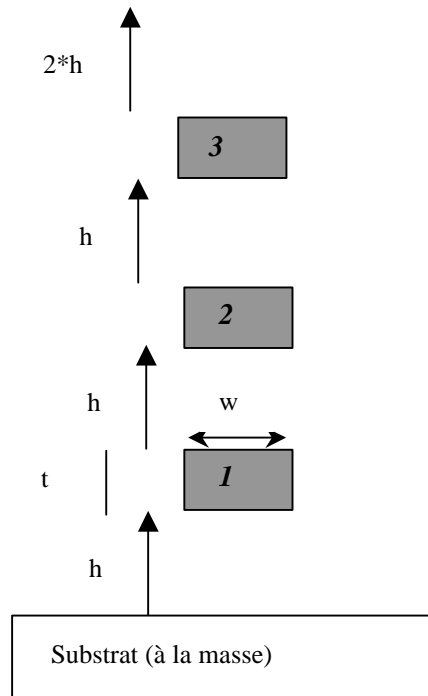


Fig 38 : Configuration de lignes simulées (type 2).

Le calcul des matrices [C] pour la coupe a été effectué en faisant varier les paramètres t (épaisseur du conducteur) variant entre 5 et 10  $\mu\text{m}$ ; et h (hauteur d'oxyde) variant entre 20 et 60  $\mu\text{m}$ . Les différentes combinaisons de ces 2 paramètres simulées sont données ci-après.

cas 1	cas 2	cas 3	cas 4	cas 5	cas 6
w = 25 $\mu\text{m}$	w = 25 $\mu\text{m}$	w = 25 $\mu\text{m}$	w = 25 $\mu\text{m}$	w = 25 $\mu\text{m}$	w = 25 $\mu\text{m}$
t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$	t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$	t = 5 $\mu\text{m}$	t = 10 $\mu\text{m}$
h = 20 $\mu\text{m}$	h = 20 $\mu\text{m}$	h = 40 $\mu\text{m}$	h = 40 $\mu\text{m}$	h = 60 $\mu\text{m}$	h = 60 $\mu\text{m}$

Configuration de lignes simulées, caractéristiques géométriques.

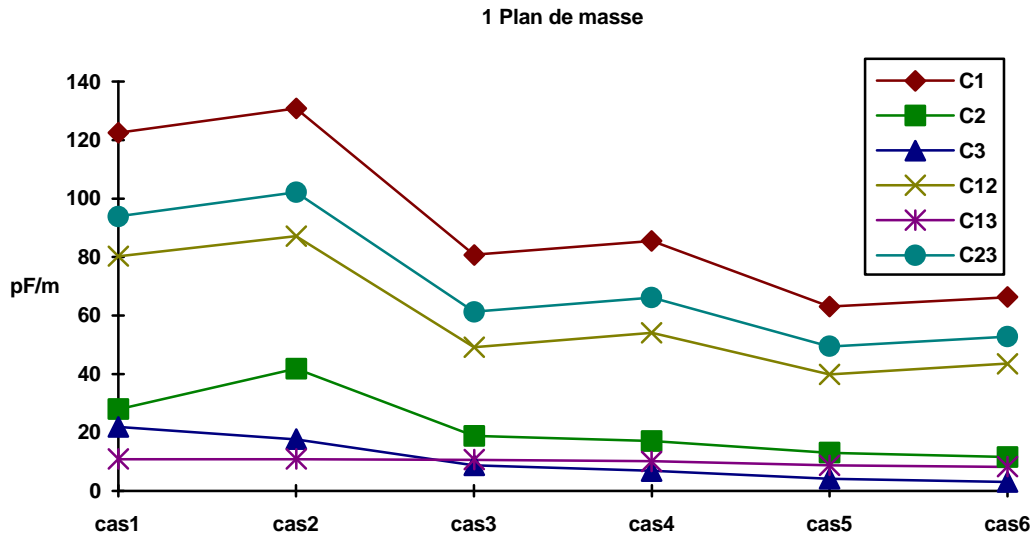


Fig 39 : Configuration de lignes superposées, capacités linéiques en aF/μm.



Question : Commenter les courbes de la Figure 39.

Dans cette configuration, 2 remarques essentielles se dégagent :

❶ Toutes les capacités diminuent avec la distance au substrat qui correspond au plan de masse.

Cette évolution peut s'expliquer, par le fait que l'on a combiné l'augmentation de la distance au substrat et de la distance entre pistes, ceci afin de situer un optimum d'épaisseur de couche correspondant à l'épaisseur pour laquelle le rapport capacité parasite sur capacité vers la masse, est le plus faible. Etant donné qu'on a le même taux de variation, on peut conclure que les deux épaisseurs proposées satisfont au critère d'optimisation.

Par contre si on avait voulu noter l'évolution des capacités seulement en fonction de la distance au substrat, la conclusion précédente visant à souligner que les capacités  $C_i$  diminueraient alors que les capacités  $C_{ij}$  augmenteraient, serait naturellement vérifiée.

❷ Concernant le conducteur central, l'effet de masquage du plan de masse par le conducteur 1, implique que ses capacités parasites  $C_{12}$  et  $C_{23}$  sont nettement plus importantes que sa capacité vers la masse  $C_2$ .

Il est également important de noter la non-symétrie (si symétrie il y avait) entre les capacités  $C_{12}$  et  $C_{23}$ , liée à l'influence du plan de masse situé plus proche du conducteur 1 que du conducteur 3. Cet effet tend à resserrer les lignes de champ sous le conducteur 1, ainsi que les lignes de champ situées sur les bords verticaux de ce même conducteur, qui sont plus concentrées vers le plan de masse. Ceci implique donc que  $C_{12}$  soit inférieur à  $C_{23}$  et  $C_1$  soit supérieur à  $C_3$ .

Si on rajoute un second plan de masse situé à une distance égale à 2 hauteurs  $h$  du conducteur 3, correspondant physiquement à un plan grillagé de blindage (qui serait déposé après une étape technologique induisant une nouvelle épaisseur  $h$ ), on tend à rétablir une pseudo-symétrie, ainsi l'évolution escomptée est:

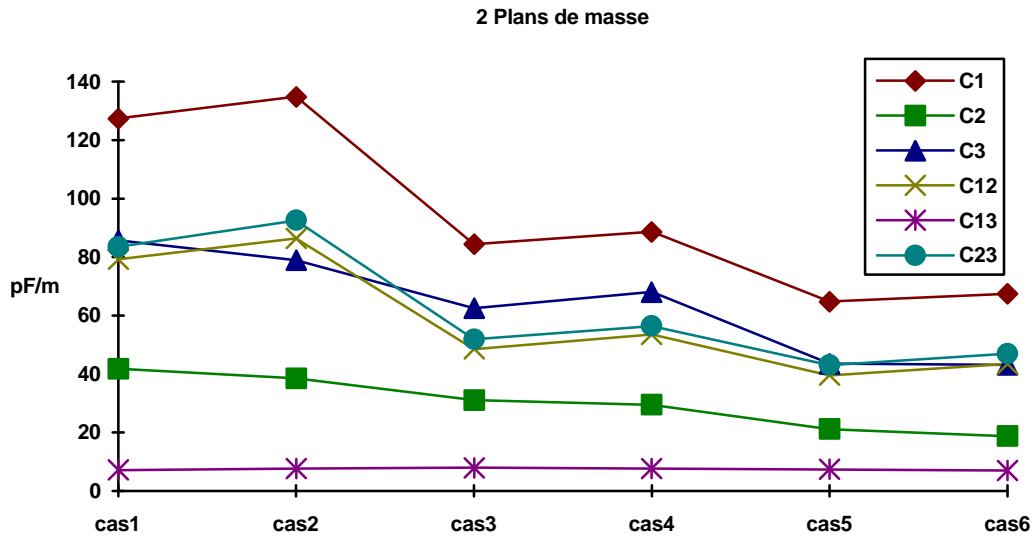


Fig 40 : Configuration de lignes superposées, capacités linéiques en aF/μm.

Nous pouvons, dans ce cas, noter une très importante augmentation de la capacité vers la masse de C3, une légère augmentation de C2, alors que C1 reste constante. Les lignes de champ du conducteur 3, sont recentrées vers la masse supérieure. Il s'en suit une diminution de la capacité parasite C23 au profit de C3. Les capacités C23 et C12 deviennent pratiquement égales.

L'étude consistant à rendre le problème totalement symétrique en mettant le plan de masse supérieur à une distance  $h$  du conducteur 3, montrerait une égalité entre C1 et C3.

#### 5.4 Remarque : Simulation de l'influence de l'épaisseur d'oxyde sur la valeur de $[C]$



Question : La variation de l'épaisseur de SiO<sub>2</sub>, influence t-elle la distribution du potentiel électrique et par conséquent les capacités mises en jeu. ?

Pour une configuration géométrique donnée (Figure 41), on augmente l'épaisseur de la couche de SiO<sub>2</sub>. Pour cela, le paramètre que l'on va faire évoluer est noté  $Y$  sur la Figure suivante, il représente l'épaisseur de la couche d'oxyde fixée en théorie par la technologie. Les paramètres

géométriques de la coupe (altitude des lignes, épaisseur, distance, largeur) sont considérés constants tout au long de l'étude de caractérisation d'un niveau d'interconnexion.

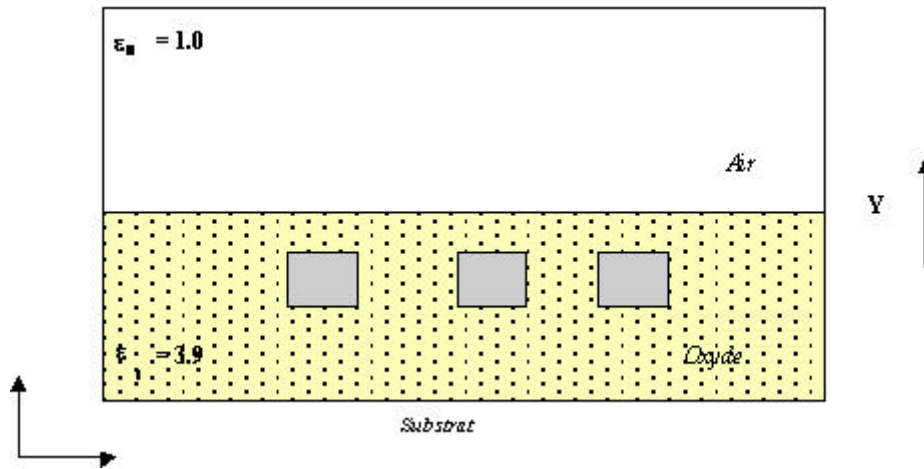


Fig 41 : Définition de la configuration de ligne prise en considération lors de cette étude.

Le substrat, plan inférieur, est supposé uniformément polarisé à la masse, et est par conséquent considéré comme un plan de masse lors de la simulation numérique.

Exemple de valeurs de paramètres géométriques de lignes : Technologie MHS 0.6μm (Figure 42)

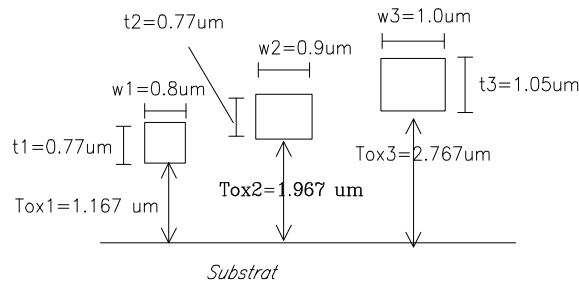


Fig 42 : Configuration de lignes superposées, capacités linéiques en aF/μm.

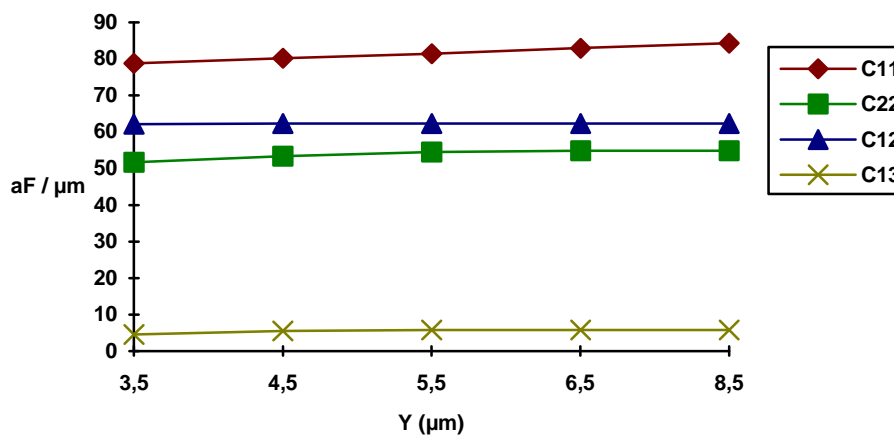


Fig 43 : Evolution des capacités parasites et de couplage en fonction de la hauteur d'oxyde  $\epsilon_1 = 3.9$ ,  $\epsilon_2 = 1.0$  (métal1).

Dans le cas de simulation du niveau de métal1 (Figure 43), il est important de souligner qu'on a C22 et C12 sensiblement proches, ce qui signifie que le couplage parasite en métal1 est légèrement plus important que le couplage vers la masse pour le conducteur central.

Les capacités vers la masse C11 et C22 augmentent légèrement avec Y. Cette augmentation n'est que très minime, voire nulle, dans le cas des capacités parasites, si ce n'est pour C13 qui se stabilise après le premier calcul.

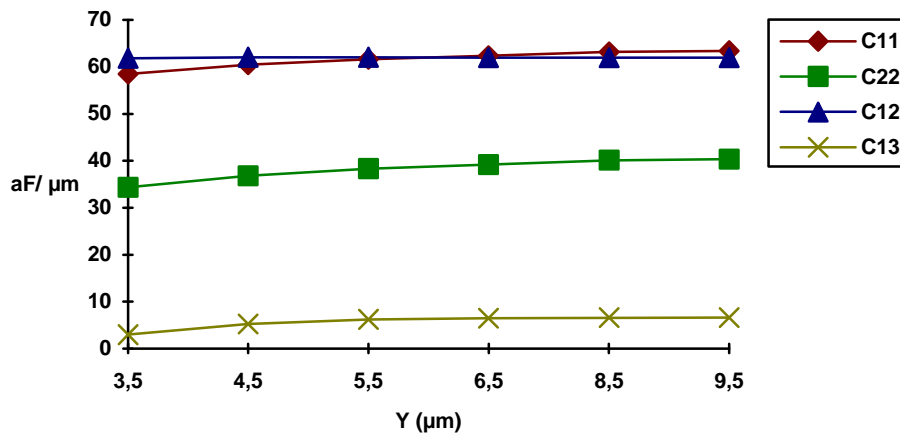


Fig 44 : Evolution des capacités parasites et de couplage en fonction de la hauteur d'oxyde  $\epsilon_1 = 3.9$ ,  $\epsilon_2 = 1.0$  (métal2).

Dans le cas de simulation du niveau de métal2 (Figure 44), il est important de souligner qu'on a C11 et C12 sensiblement égales, ce qui signifie que le couplage parasite en métal2 est aussi important que le couplage vers la masse.

Par contre, on a C12 très supérieur à C22, ce qui va accroître la sensibilité de la ligne 2 au bruit EMC, qui étant donné l'effet de bord voit sa capacité vers la masse diminuer.

Les capacités vers la masse C11 et C22 augmentent légèrement avec Y. Cette augmentation n'est que très minime voire nulle dans le cas de la capacité parasite C12.

Concernant la capacité parasite C13, on remarque qu'elle évolue en fonction de Y, à partir de  $Y=3.5\mu\text{m}$  avant d'atteindre un palier pour  $Y= 5.5\mu\text{m}$ .

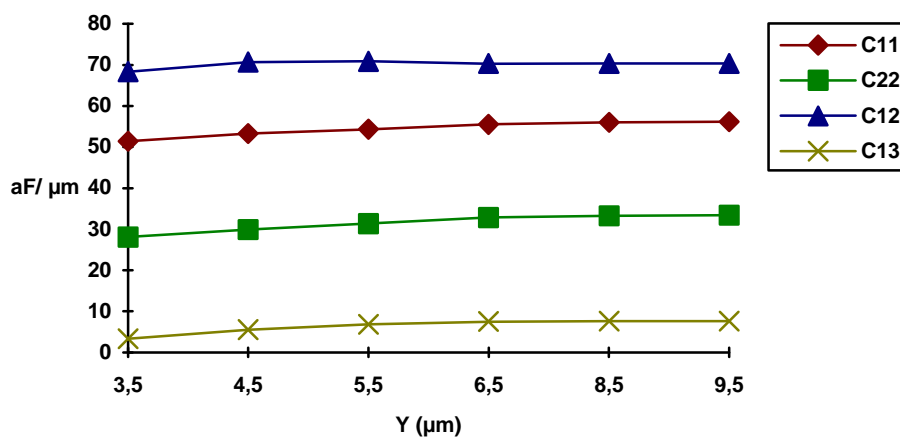


Fig 45 : Evolution des capacités parasites et de couplage en fonction de la hauteur d'oxyde  $\epsilon_1 = 3.9$ ,  $\epsilon_2 = 1.0$  (métal3).

Ici on a  $C_{12}$  très supérieur à  $C_{11}$ , ce qui va accroître la sensibilité de la ligne 1 ou 3 au bruit EMC. On constate toujours que les capacités vers la masse  $C_{11}$  et  $C_{22}$  augmentent légèrement avec  $Y$ .

La capacité parasite  $C_{13}$ , évolue en fonction de  $Y$ , à partir de  $Y = 4.5\mu\text{m}$  avant d'atteindre un palier pour  $Y = 8.5\mu\text{m}$ .



Questions :

Quels sont les niveaux d'interconnexion les plus susceptibles ?

A concevoir une ligne d'horloge, pour une longueur donnée assez courte, quel type de layer métallique préférez-vous utiliser ?

Vous avez à dessiner une interconnexion longue, très sensible au bruit : quel type de layer utiliser ?...

Vous êtes obligé de tirer une longue connexion métal5 pour un nœud analogique sur une microcarte, que cherchez vous à faire ?

Quelle est l'influence de l'épaisseur d'oxyde pour les niveaux supérieurs ?

Un niveau 7 pour la CAO circuits intégrés, apparaît chez votre employeur, le responsable du routeur automatique, voit enfin la possibilité de tirer en métal7 les longs fils. (bus, horloges, antennes filaires, nœuds analogiques, alimentations). Que lui conseillez vous ?..

### 5.5 Quelques remarques synthétiques sur les capacités parasites

❶ La capacité vers le substrat diminue pour les niveaux d'interconnexion supérieurs alors que dans le même temps la capacité parasite entre lignes augmente.

Ces deux effets conjugués impliquent que les niveaux d'interconnexion supérieurs seront beaucoup plus susceptibles au bruit EMC en mode conduit.

❷ A distances de routage égales, il faudra pour minimiser les risques de problème de susceptibilité EMC, prendre les niveaux d'interconnexion inférieurs.

En fait, une règle de routage EMC pourrait être d'éviter les longs routages en interconnexion de niveau supérieur.

De plus, il a été démontré que :

✳  $C_{ii} = F(Y) C_{ii\text{Layer}}$  avec  $F(Y)$  croissante.

✳  $C_{ij} = G(Y) C_{ij\text{Layer}}$  (pour 2 conducteurs voisins), avec  $G(Y)$  tendant vers une limite pour  $Y > Y_{\text{max}}$

⊛  $C_{ij} = H(Y) C_{ijLayer}$  (pour 2 conducteurs suffisamment éloignés, espacement supérieur à 6 fois la largeur des pistes) avec  $H(Y)$  croissante, et  $C_{ijLayer}$  tendant vers 0 avec l'accroissement de l'espacement des conducteurs.

Par conséquent, pour une configuration donnée de couplage entre conducteurs, il est ainsi démontré que la susceptibilité accrue des interconnexions des niveaux supérieurs, peut être réduite en augmentant l'épaisseur de l'oxyde situé au dessus du dernier niveau de métal. En effet, cette augmentation d'épaisseur d'oxyde vise à rétablir l'équilibre entre capacité vers le substrat et capacité parasite entre lignes, en augmentant comme il a été démontré, la valeur de la capacité vers le substrat sans affecter la capacité de couplage.

Ceci peut donc constituer une solution technologique visant à diminuer la sensibilité des niveaux supérieurs aux problèmes de perturbations EMC.



## 6 Solutions pour réduire la susceptibilité des interconnexions métalliques au niveau du circuit intégré

Nous avons vu dans les études précédentes, que pour une configuration donnée, le niveau de bruit augmente avec le niveau d'interconnexion (Figure 46) :

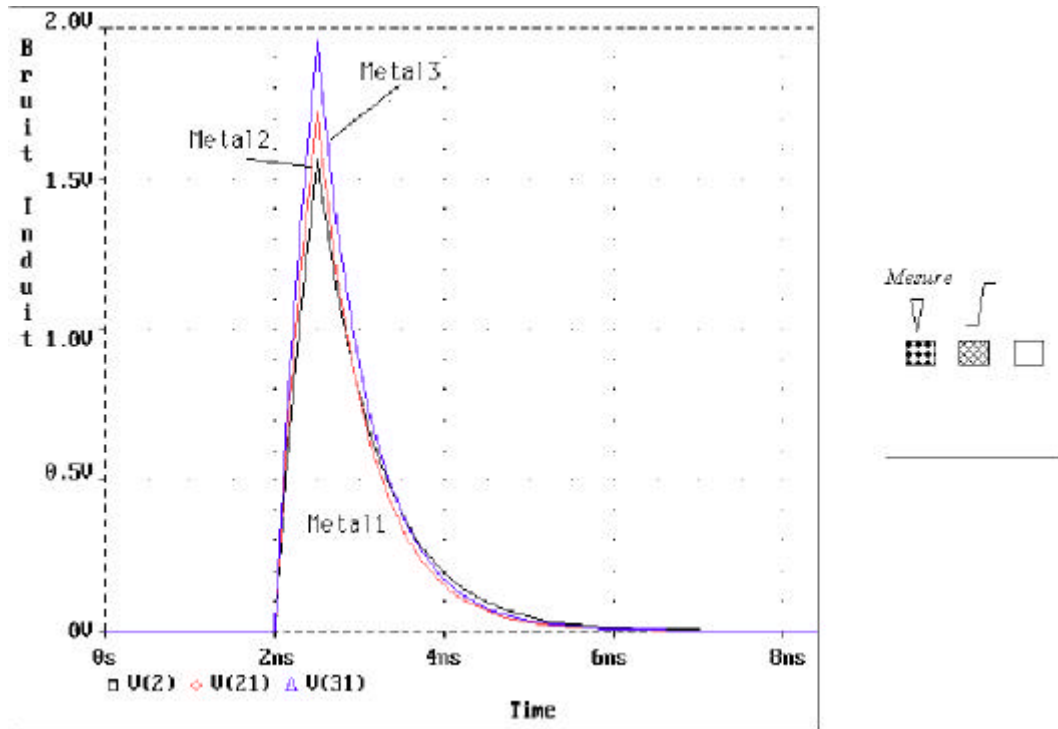


Fig 46 : Evolution de la forme d'onde avec le type d'interconnexion métallique

Dans le cas où on ne se situe pas à la distance minimale autorisée par les règles de design, entre la piste coupable et la piste victime, on peut envisager certaines solutions pour essayer de réduire le bruit induit.

### 6.1 Influence de la configuration de couplage

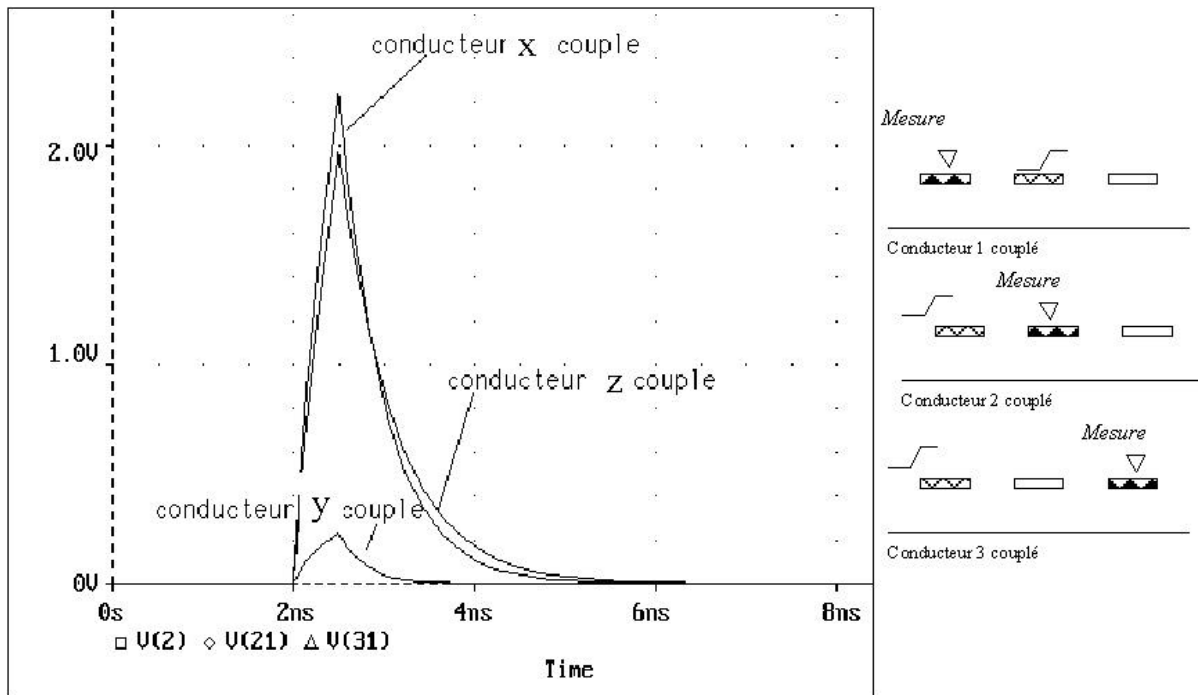


Fig 47 : Evolution du bruit induit en fonction de la configuration de couplage (métal3, MHS 0.6 $\mu$ m, longueur du couplage de 1mm, Rligne = 5k $\Omega$ , tr = 0.5ns).



Question :

Associer sur la Figure 47, chacune des 3 configurations x,y,z avec le type de configuration de couplage 1, 2, 3,

### 6.2 Influence de la ligne flottante



Question :

Une interconnexion présente près d'un conducteur peut-elle modifier la susceptibilité à la diaphonie du conducteur ?

La réponse de prime abord est OUI, étant donné, que par masquage, on a démontré que la capacité vers la masse diminuait...

L'étude suivante présente une autre configuration de couplage :

❖ supposons qu'on ait un couplage de type conducteur 1 conducteur 3, avec un espacement suffisant pour mettre une ligne supplémentaire entre ces deux conducteurs.



Question :  
 Quelle influence cette ligne que l'on va supposer ici en état haute impédance, va avoir cette ligne sur l'évolution du bruit induit?

Les résultats de simulation sont présentés Figure 48 :

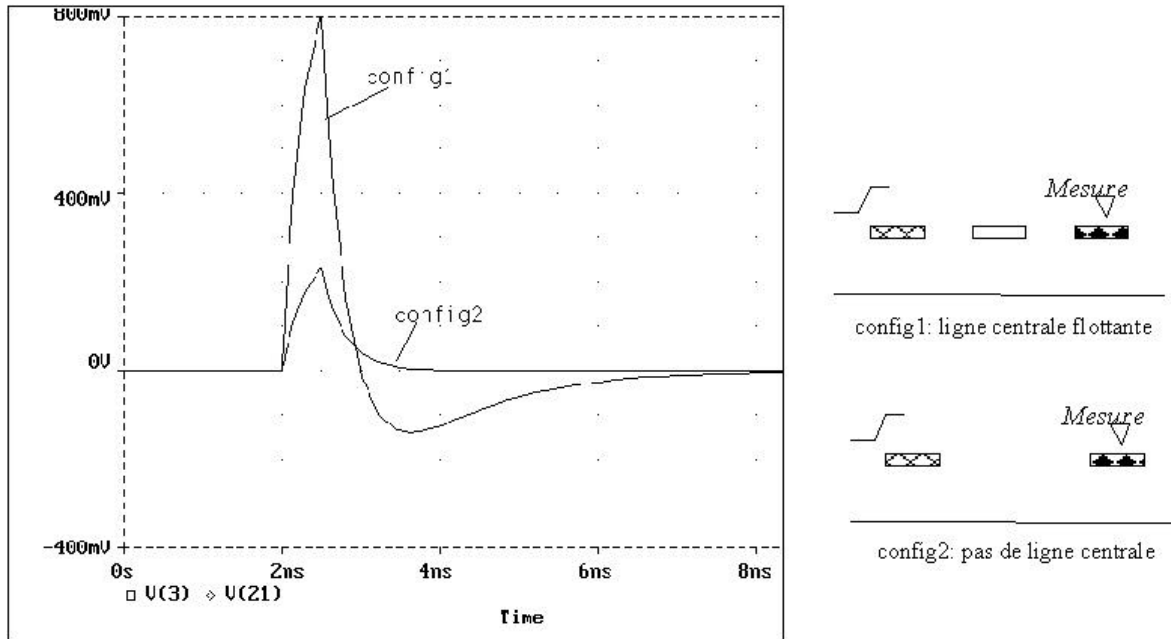


Fig 48 : Evolution de la forme d'onde induite avec la présence d'une ligne flottante.

(métal3, MHS 0.6 $\mu$ m, longueur du couplage de 1mm, Rligne = 5k $\Omega$ , tr = 0.5ns).

On observe une augmentation très importante du couplage dans le cas où l'on a une ligne centrale flottante.

Physiquement, le conducteur 1 est couplé avec les conducteurs 2 et 3, tandis que le conducteur 2 est aussi couplé avec le conducteur 3. Ce qui a pour effet d'ajouter à la capacité parasite C13, le couplage C12 et C23, d'où la variation très importante de l'amplitude de l'onde induite.

### 6.3 Influence d'une ligne de blindage

Supposons à présent que l'on souhaite effectuer le même type d'étude que ci-dessus mais pour une ligne centrale qui n'est plus dans un état haute impédance mais qui par exemple est reliée à la masse.



Question :  
 Quelle influence va avoir cette ligne sur l'évolution du bruit induit?

La Figure 49 présente les résultats de la simulation. Il est important de souligner que contrairement au cas précédent où la ligne centrale était dans un état flottant ce qui impliquait une augmentation de plus de 60% de l'amplitude transmise sur le conducteur 3, dans le cas où la ligne centrale est directement reliée à la masse, l'amplitude transmise est diminuée. Cette diminution liée à l'effet de blindage de la ligne 2, atteint 35% dans ce cas d'étude.

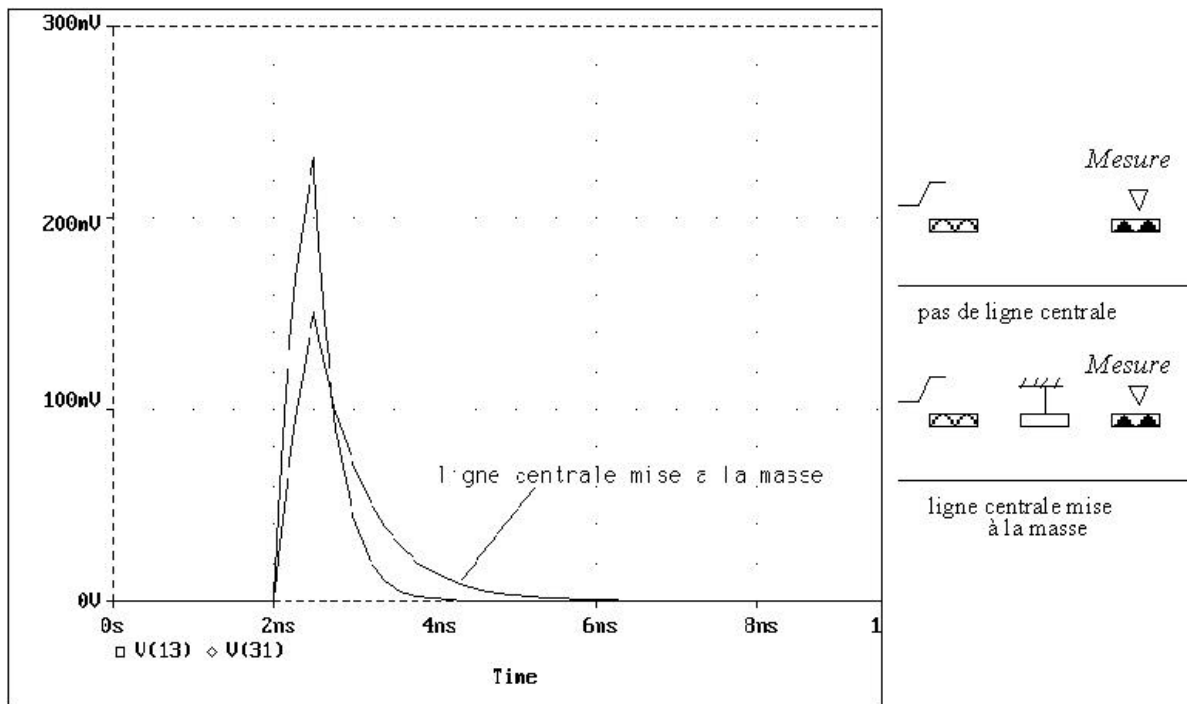


Fig 49 : Evolution de la forme d'onde induite avec la présence d'une ligne de blindage.  
 (métal3, MHS 0.6 $\mu$ m, longueur du couplage de 1mm, Rligne = 5k $\Omega$ , tr = 0.5ns).

#### 6.4 Conclusion de l'étude : énoncé de règles pour le routage des interconnexions.

A partir des simulations conduites, un certain nombre de remarques permettant d'appréhender le problème de bruit induit, peuvent être dégagées :

- ❶ A longueur équivalente de couplage, les niveaux supérieurs d'interconnexion sont plus sensibles que les niveaux inférieurs.
- ❷ Le phénomène de couplage décroît très vite avec l'espacement des conducteurs.
- ❸ Le masquage d'une ligne sensible par une autre ligne de même type influence le bruit induit. L'efficacité est maximale si cette ligne joue le rôle de blindage, ou si sa résistance de rappel tend vers zéro. A l'inverse, si la ligne jouant le rôle d'écran est en état haute impédance, alors le couplage sera plus important, d'où l'intérêt de ne pas mettre de lignes sensibles proches de lignes en haute impédance.

## **7 Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.**

### 7.1 *Modèle IBIS*

« *I/O Buffer Information Specification* »



Il permet une description comportementale rapide et précise des I/O d'un circuit intégré, en offrant une modélisation quasi automatique et basée sur la mesure des courbes I(V) des buffers d'entrée sortie.

A la base c'est INTEL qui a lancé ce standard, qui est aujourd'hui repris par le IBIS forum constitué par les distributeurs d'Electronics Design Automation, les fabricants d'ordinateurs, et les fabricants de composants.

### 7.2 *Les versions IBIS successives:*

V1.0 - Sortie en Avril 1993

V1.1 - Sortie en Juin 1993, Dallas.

V2.0 - Homologué en Juin 1994, San Diego

V2.1 - Sortie en Décembre 1994

Homologué par ANSI/EIA-656 en Décembre 1995

V3.0 - Homologuée en Juin 1997 par IEC 62014-1 - Sep 1997

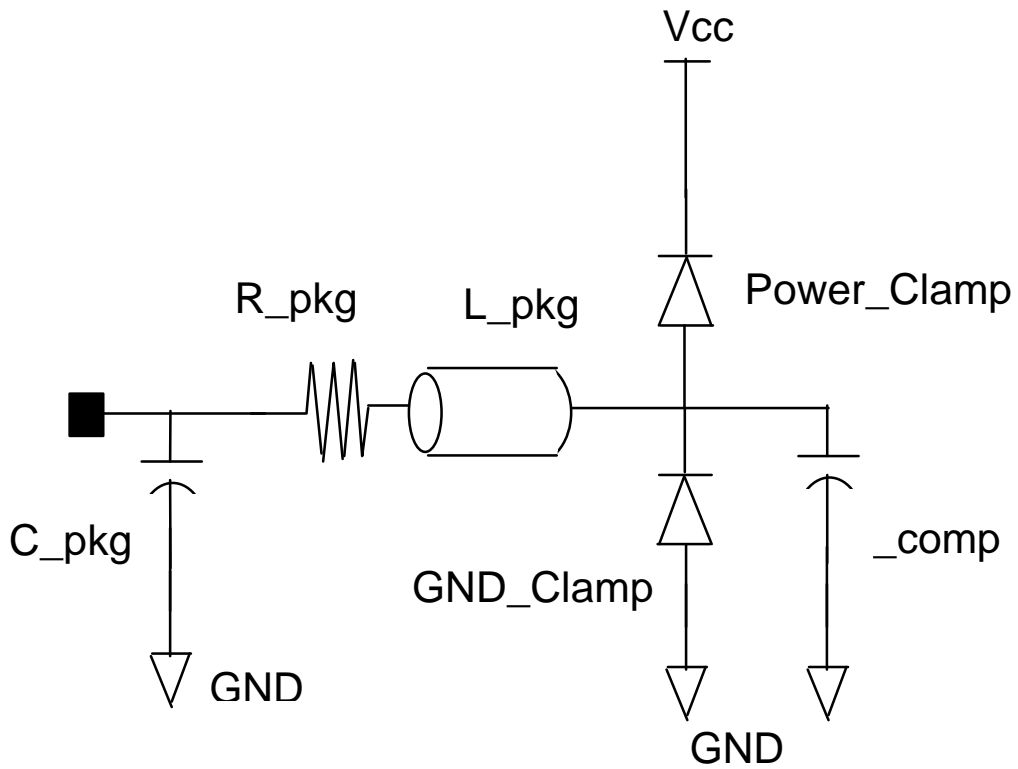
V3.1 - Homologuée en Juin 1998

Sites actuels : <http://www.eia.org/eig/ibis.htm> <http://www.hyperlynx.com>

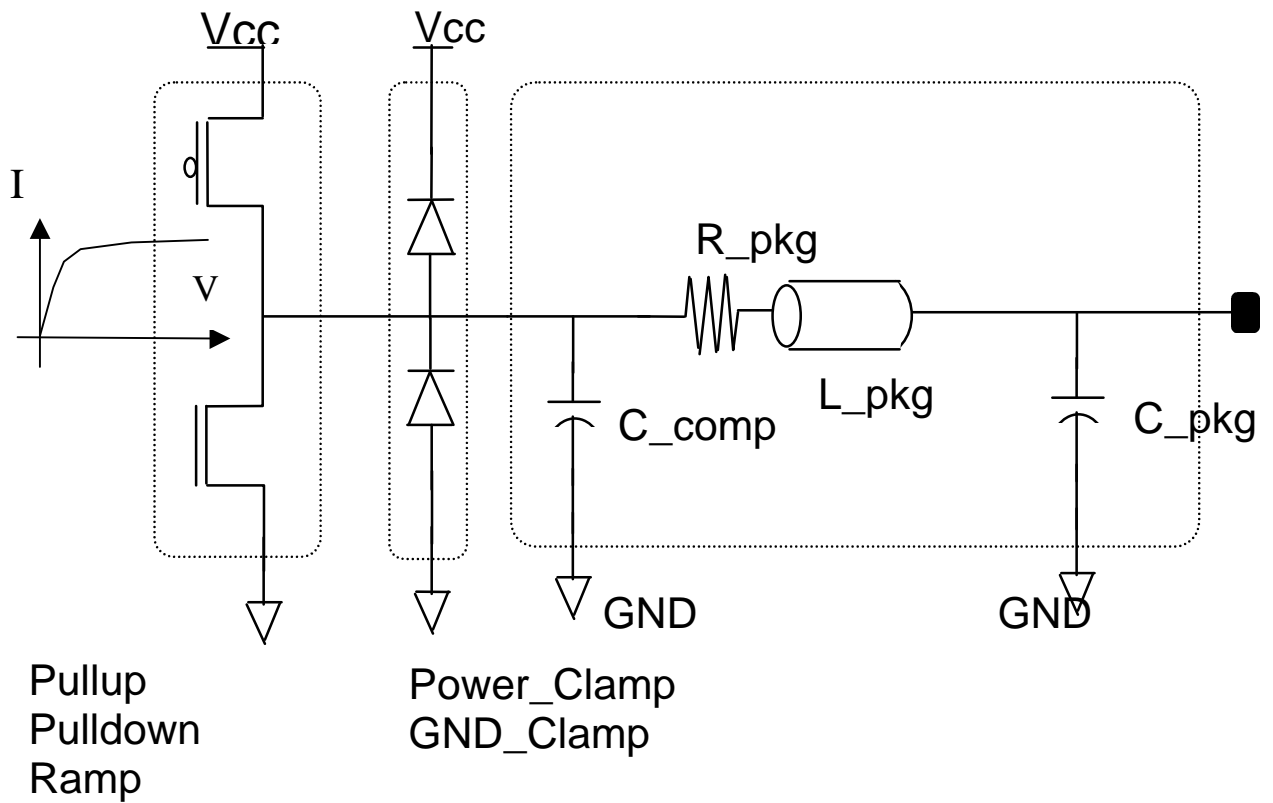
### 7.3 *Avantages du modèle IBIS*

- Protection des Informations confidentielles (Process, Design, etc ...)
- Modèle précis tenant compte:
  - de la non-linéarité des entrées/sorties
  - des parasites dus au boîtier
- Rapidité de simulation par rapport aux méthodes structurelles
- Modèles gratuitement fournis par les fabricants de composants
- Compatible avec la majorité des plates-formes de simulation industrielles

7.4 Modèle IBIS du buffer d'entrée



7.5 Modèle IBIS du buffer de sortie



## 7.6 Génération d'un modèle IBIS

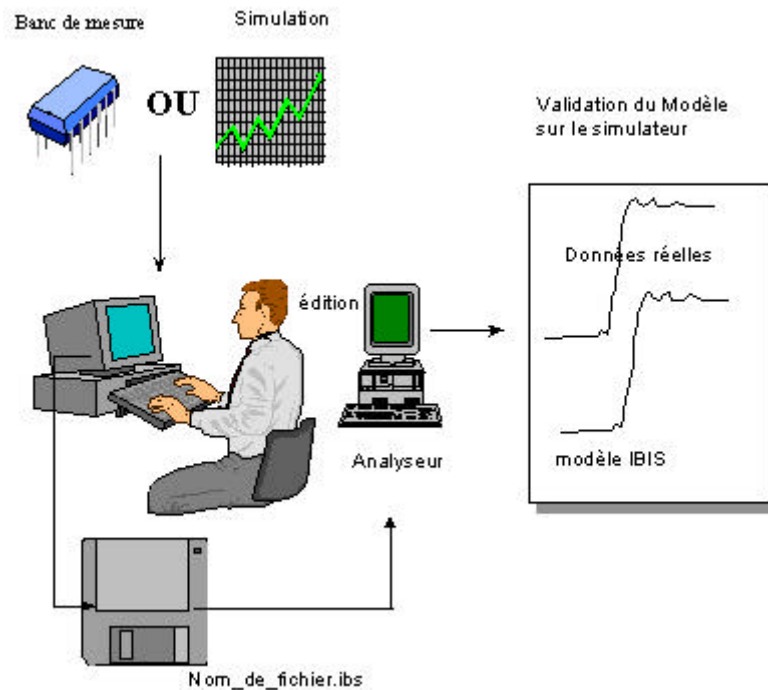


Fig 50 : Synoptique de génération d'un modèle IBIS.

## 7.7 Passerelle de SPICE à IBIS

Supports HSPICE, PSPICE, SPICE3, Spectre

- Création d'un fichier header par directive s2ibis2
- Définition des parasites dus au boîtier et description des broches
- Spécification du fichier netlist (nom\_de\_fichier.sp)
- Les numéros de nœuds Spice sont spécifiés par broches
- Définition du type de modèles (Input, 3-state, I/O etc)
- Attachement de tous les fichiers décrivant le process (Typ, Min and Max)
- Exécution de s2ibis2 ( % s2ibis2 filename.s2i )

## 8 Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)

La fluctuation d'alimentation (VDD et VSS) est directement liée à l'appel de courant lors de la commutation (pour une technologie CMOS par exemple). Pour modéliser ce phénomène, il faut en fait s'intéresser de plus près au modèle du boîtier dans lequel est placé le circuit intégré.

### 8.1 Familles de boîtiers , modélisation du bonding :

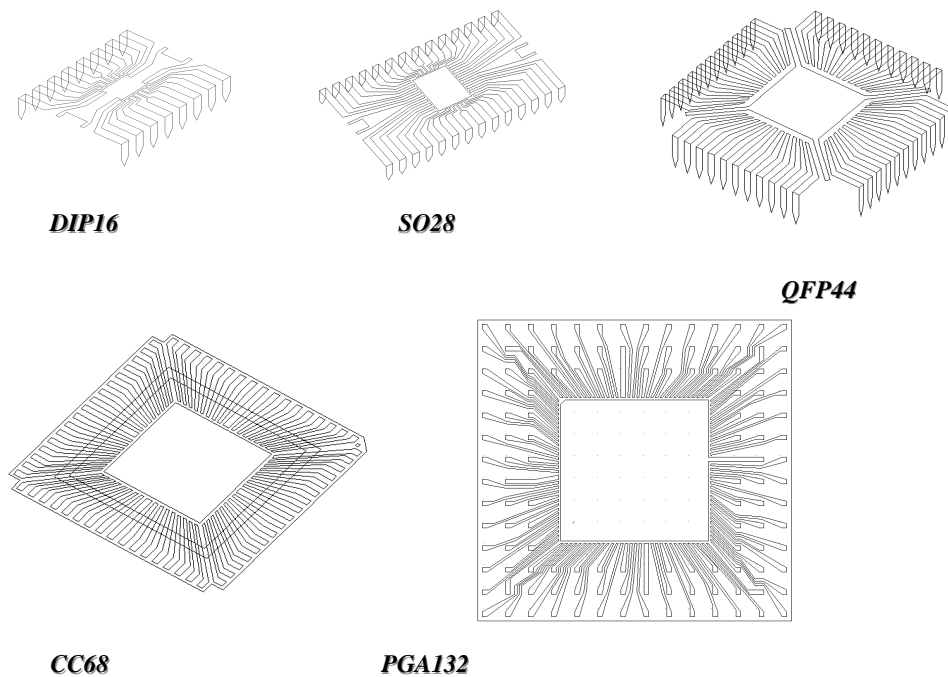


Fig 51 : Quelques boîtiers d'encapsulation.



Fig 52 : Représentation au microscope électronique d'un bonding.

Différents types de boîtiers sont disponibles jusqu'au montage puce nue sur substrat (Figure 51).

La connexion du plot de la puce avec le boîtier s'effectue par l'intermédiaire d'un fil d'or appelé "bonding" (Figure 52) . Le bonding est relié du côté du boîtier, à une interconnexion métallique appelée lead.



On modélisera le bonding par une inductance L que l'on calculera :

- à partir des données constructeur donnant l'inductance linéique (H/m) du bonding utilisé,
- en appliquant soit la formule de l'inductance d'un fil sur un plan de masse :

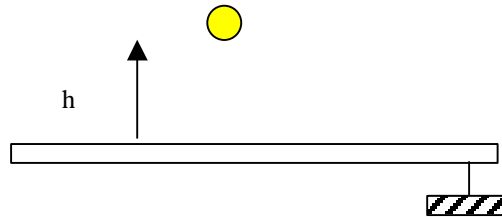


Fig 53 : Inductance d'un conducteur cylindrique sur un plan de masse.

$$L \text{ (H/m)} = \mu_0 \mu_r \frac{1}{2\pi} \ln(4h/d)$$

$\mu_0 = 1.257 \cdot 10^{-6}$  H/m et  $\mu_r = 1$  (utilisable pour l'Air, Cu, Al, Si, SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>)

d = diamètre du fil

h = distance du fil par rapport au plan de masse.

Les capacités Ci et Cij, les inductances Li et Lij et les résistances Ri, des leads seront soit données par le fabricant, ou calculées par formulations analytiques ou méthode numérique (éléments finis, méthode des moments) (cf. Chapitre 4).



Question :

Donner le schéma équivalent pour, par exemple 3 broches, depuis le PCB, vers le circuit intégré.

Remarque :

Il est important de noter que les différentes familles de boîtiers présenteront des valeurs [C] et [L] très différentes selon le type de technologie utilisé. **Il faudra donc s'assurer de la compatibilité du boîtier choisi pour le type d'application requis.**

Par exemple un DIL16 (forts couplages parasites), pourra ne pas être un bon choix pour l'encapsulation d'un circuit intégré d'une application haute fréquence.

## 8.2 Influence de la prise en compte du boîtier d'encapsulation pour une simulation du circuit intégré.

### 8.2.1 Modélisation de niveau 0

Le système que l'on se propose d'étudier est celui d'un inverseur, technologie 0.8 $\mu$ m, couplé à une ligne (Figure 54), modélisée comme une ligne de transmission capacitive.

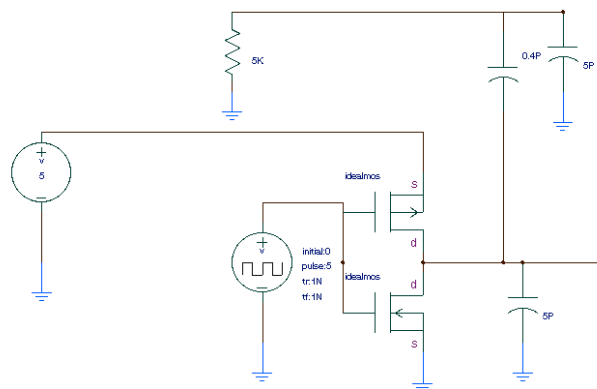


Fig 54 : Représentation schématique du système étudié (modélisation niveau 0).

On observe les chronogrammes suivants avec pour assignation des points d'observation :

- *in\_inv* : entrée de l'inverseur CMOS (visualisation du pulse *tr* et *tf* INs).
- *out\_inv* : sortie de l'inverseur CMOS.
- *out\_victim* : bruit induit par diaphonie sur la ligne victime par commutation.
- *Alim* : alimentation 5Volts.

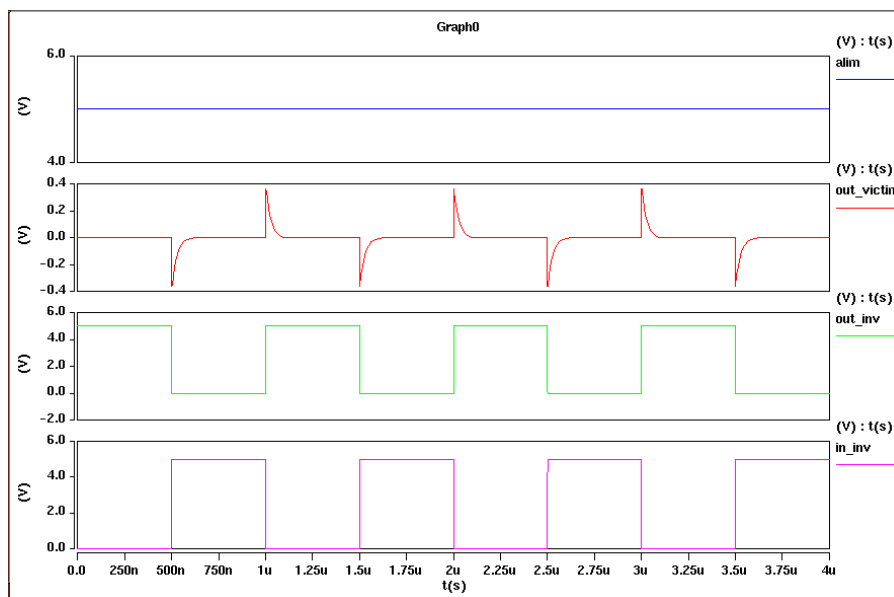


Fig 55 : Simulation avec modélisation niveau 0.



Question :

Commenter les courbes obtenues Figure 55.

Proposer un moyen d'observer dans la simulation, le courant consommé sur l'alimentation +5V.

Appelons  $v\_current$  le courant consommé sur l'alimentation VDD ( $I_{DDQ}$ ) (Figure 56)

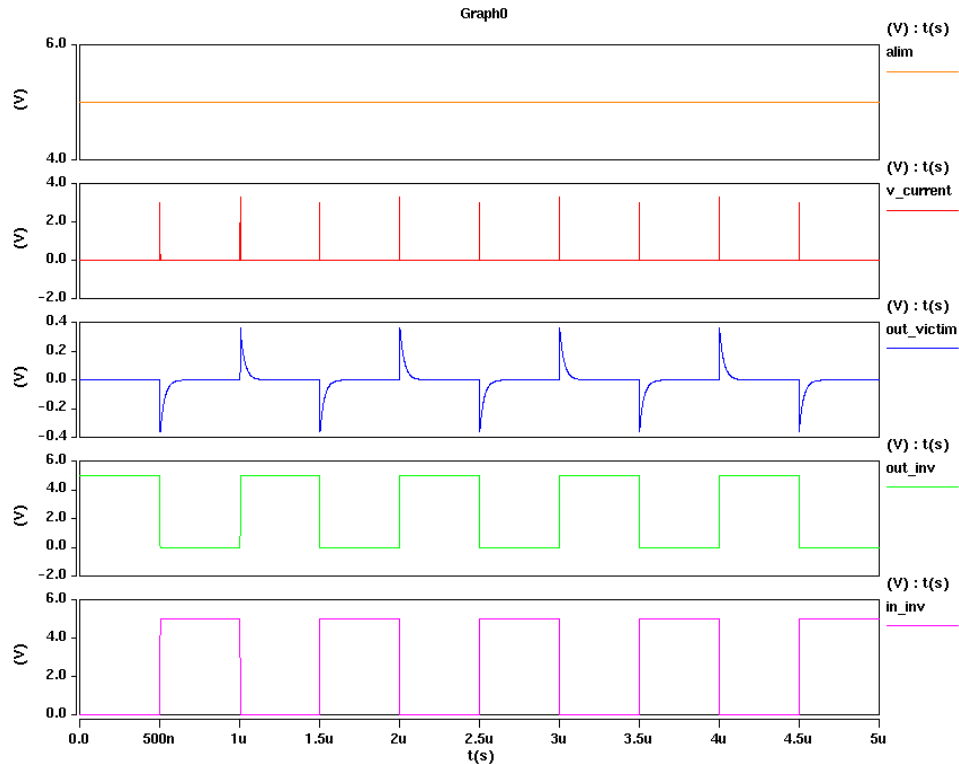


Fig 56 : Simulation avec modélisation niveau 0, observation du courant  $I_{DDQ}$

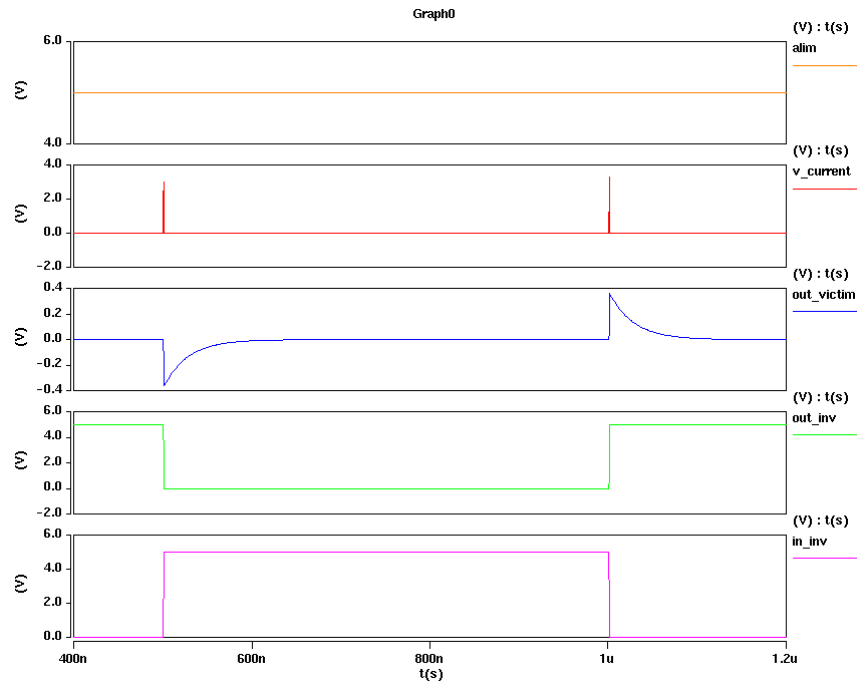


Fig 57 : Simulation avec modélisation niveau 0, observation du courant sur une période.



**Question :**

Ce résultat de simulation (Figure 57) est-il acceptable ?... Donner deux anomalies.  
 Expliquer le fonctionnement. Pourquoi obtient – on cela ?  
 Donner une provenance.

La simulation prend en compte un modèle idéal de transistor; où il y a conduction simultanée entre les 2 transistors PMOS et NMOS, d'où un court-circuit entre le VDD et la masse. Ceci explique le pourquoi de la consommation lors de la transition état haut -> état bas.

Prenons à présent, comme modèle transistor le modèle BSIM2, on obtient les résultats suivants (Figure 58) :

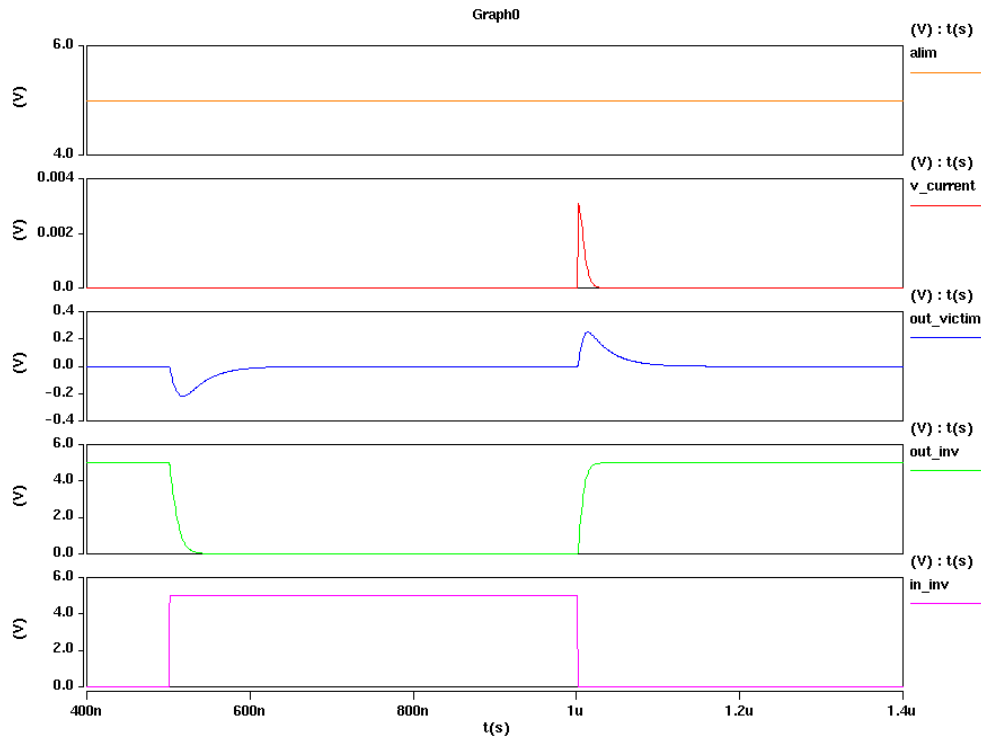


Fig 58 : Simulation avec modélisation niveau 0, observation du courant sur une période (transistor BSIM2).



Question :

Ce résultat de simulation est-il conforme à vos attentes ?

### 8.2.2 Modélisation de niveau 1

L'alimentation 5V n'est considérée comme étant interne au circuit intégré, la prise en compte du modèle du boîtier est présenté Figure 59 :

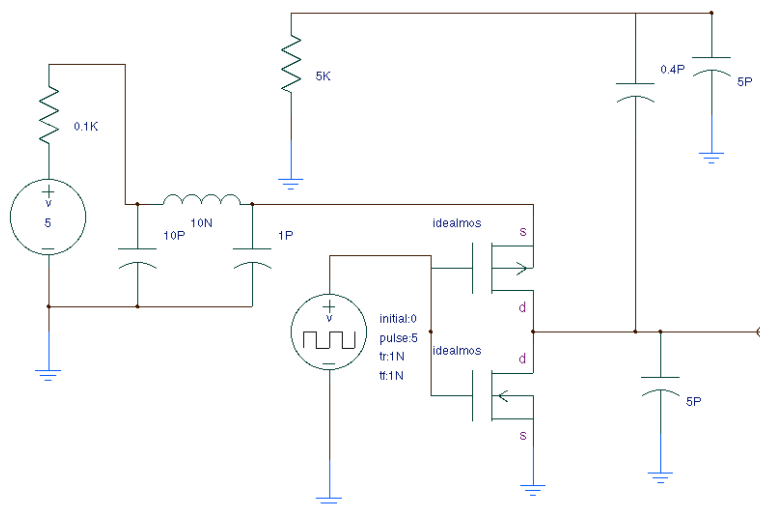


Fig 59 : Représentation schématique du système étudié (modélisation niveau 1).

Sur une période signal on observe les chronogrammes (Figure 60) :

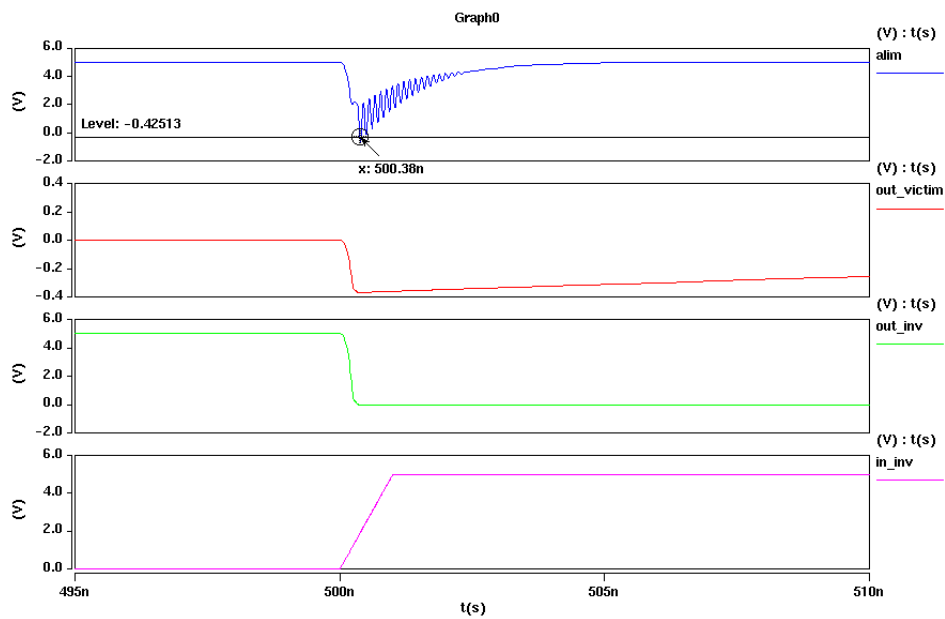


Fig 60 : Simulation avec modélisation niveau 1, observation de la fluctuation d'alimentation sur une période.



Question :

Commenter ces résultats.

Quelles précautions prendre pour réduire cet effet parasite de fluctuation d'alimentation ?

### 8.3 Diminution de l'influence du boîtier d'encapsulation.

On se propose de diminuer artificiellement de 100% (donc directement dans les paramètres de la simulation) la valeur de l'inductance parasite du boîtier (Figure 61).

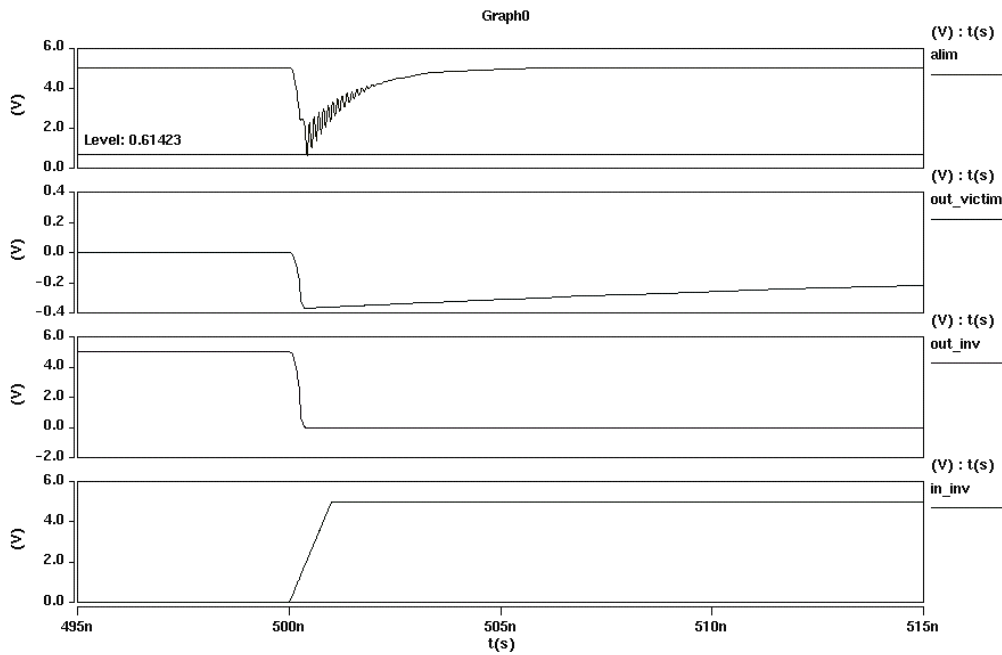


Fig 61 : Simulation avec modélisation niveau 1, observation de la fluctuation d'alimentation sur une période.



Question :

En déduire une solution technologique implémentable sur un circuit donné.

Afin de diminuer l'inductance pour un type de boîtier donné, il suffit de mettre en parallèle différentes inductances, d'où, l'assignation de plusieurs plots dédiés à l'alimentation VDD et VSS.

8.4 Application pour réduire la fluctuation de l'alimentation VDD : assignation de 4 plots d'alimentation.

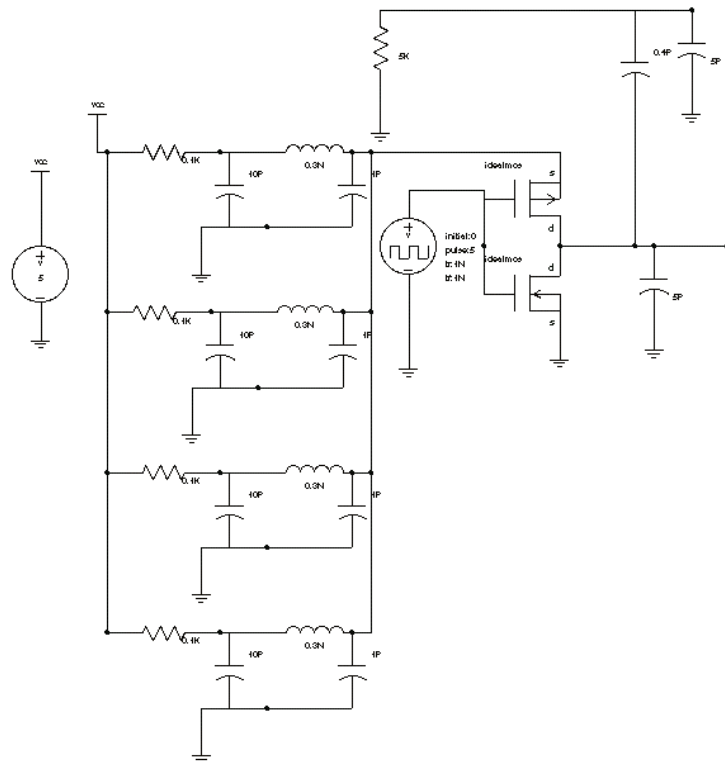


Fig 62 : Représentation schématique du système étudié (modélisation niveau 1), assignation de 4 plots.

On observe les chronogrammes (Figure 63) :

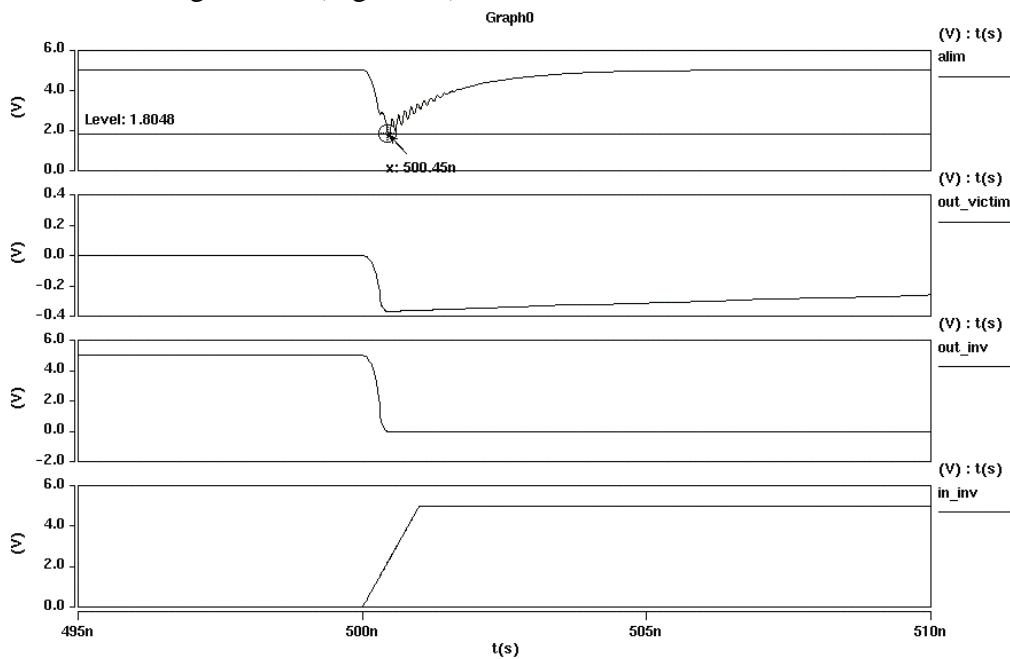


Fig 63 : Simulation avec modélisation niveau 1, observation de la fluctuation d'alimentation sur une période, 4 plots d'alimentation.





Question :  
En déduire une règle de conception.  
Comment procéder en pratique pour déterminer le nombre de plots dédiés aux alimentations.

Autre Exemple : Application du modèle BSIM2.

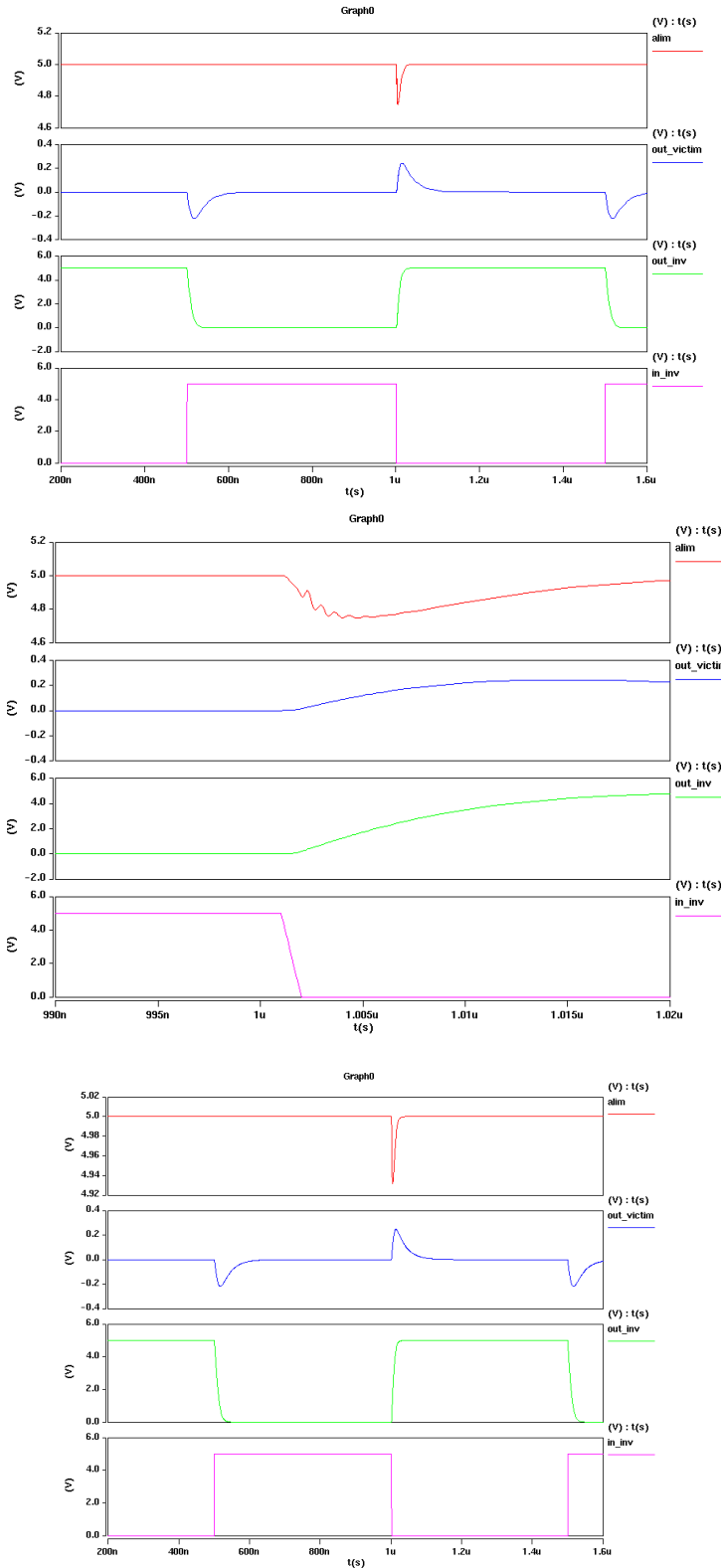


Fig 64 : Simulations avec modélisation niveau 1



Question :

Commenter ces différentes courbes.

## 9 Exemple d'étude CEM sur le Courant consommé : Etude des circuits de génération d'un signal d'horloge pour micro-contrôleur

### 9.1 Analyse du bruit sur l'alimentation

Le bruit sur l'alimentation est essentiellement généré par la consommation des cellules logiques, notamment lors des transitions des signaux.

Une première analyse peut donc être faite sur le cas d'un simple inverseur (Figure 65), cellule de base de tout circuit intégré.

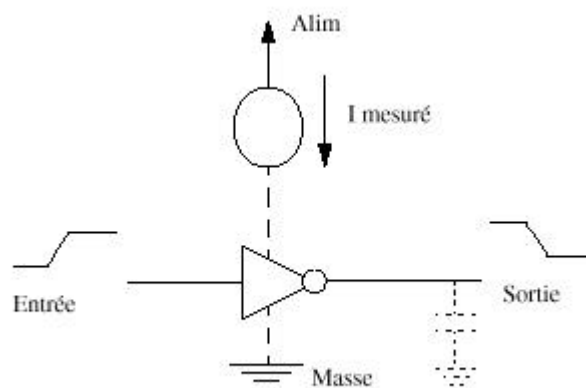


Fig 65 : Mesure du courant consommé par un inverseur

Afin de respecter les conditions réelles d'utilisation d'un inverseur, toutes les simulations effectuées dans cette partie sont réalisées avec un signal d'entrée provenant d'un autre inverseur.

#### *Remarque :*

*Cette précaution permet de s'affranchir des problèmes de continuité du courant, car le signal d'entrée est analogique (les seules sources de tension simulant un signal d'horloge disponibles sous certains simulateurs, Eldo par exemple, sont de type numériques, leur dérivée n'est pas continue...).*

La capacité de charge  $C_s$  connectée en sortie simule le reste du circuit aval.

De par la conception d'un inverseur CMOS, le courant devrait être nul en dehors des périodes de transitions.

Les consommations durant les deux transitions sont dues à la charge de la capacité équivalente en sortie d'une part, et d'autre part à la conduction simultanée des MOS P et N qui composent cet inverseur.

Le modèle utilisé pour simuler les transistors MOS est du type MM9, la capacité connectée à la sortie de l'inverseur étant de 20fF.

La Figure 66 représente le courant consommé, la tension en entrée et la tension en sortie correspondante de l'inverseur dans les deux types de transition.

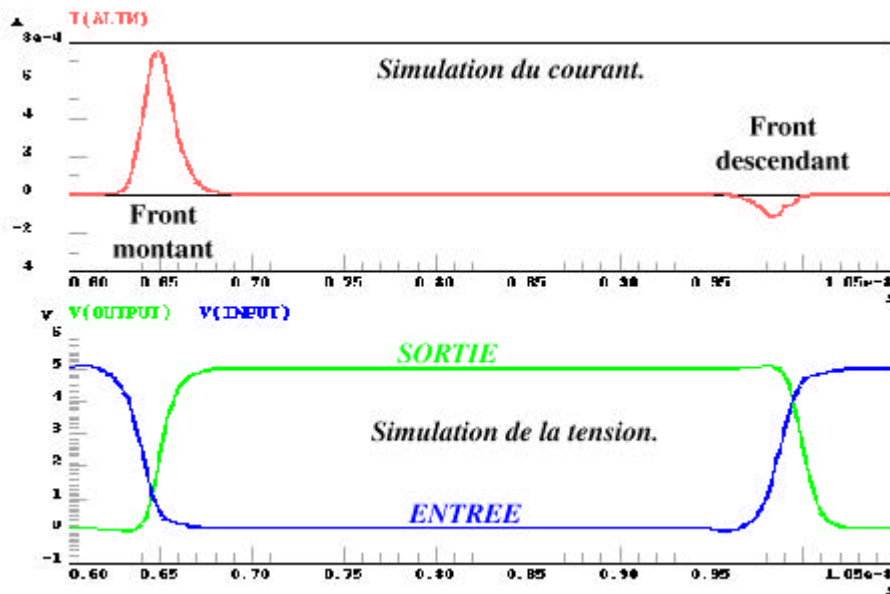


Fig 66 : Simulation de la tension et du courant d'un simple inverseur.



Question :

Expliquer ces différentes courbes.

*Lors de la transition de la sortie de l'état bas => état haut*

La consommation de courant lors du front montant est essentiellement due à la charge de la capacité équivalente en sortie. D'une manière générale, l'intégrale du courant dans cette transition est directement proportionnelle à la capacité de sortie (si le temps de descente du signal entrant est bref).

En condition normale d'utilisation (l'inverseur n'étant pas fortement chargé en sortie), la conduction simultanée des deux transistors est négligeable.

La consommation de courant étant très brève et le pic de courant important, le bruit généré dans les lignes d'alimentation sera riche en harmoniques.

*Lors de la transition de la sortie de l'état haut => état bas*

La consommation de courant lors du front descendant est uniquement due aux effets parasites et à la conduction simultanée des deux transistors.

Dans l'exemple ci-dessus, la conduction simultanée est tellement brève qu'elle n'induit qu'un courant très négligeable. En revanche, les éléments parasites produisent un courant négatif, faible par rapport à la consommation lors du front montant.

Si le signal d'entrée a un temps de montée faible, les effets de la conduction simultanée deviendront prépondérants.

La simulation du bruit en courant conduit dans l'alimentation est donc aisément réalisable.

Par contre, le cas étudié est très simple, et pourtant déjà demande un certain temps de simulation, il s'en suit qu'une approche sur un circuit complet va être impossible car trop lente.

Nous allons donc nous intéresser à l'étude d'une modélisation ANALYTIQUE du phénomène.

## 9.2 Modélisation du courant

On peut considérer (sous les réserves énoncées précédemment) que la consommation de courant n'est importante que sur le front montant, la capacité équivalente en sortie devant être chargée.

De plus, lors de cette transition, les courants parasites et le courant dû à la conduction simultanée des transistors sont négligeables par rapport à la charge de la capacité.

On va donc effectuer la simulation sur l'évolution du courant en fonction de la charge en sortie (Figure 67).

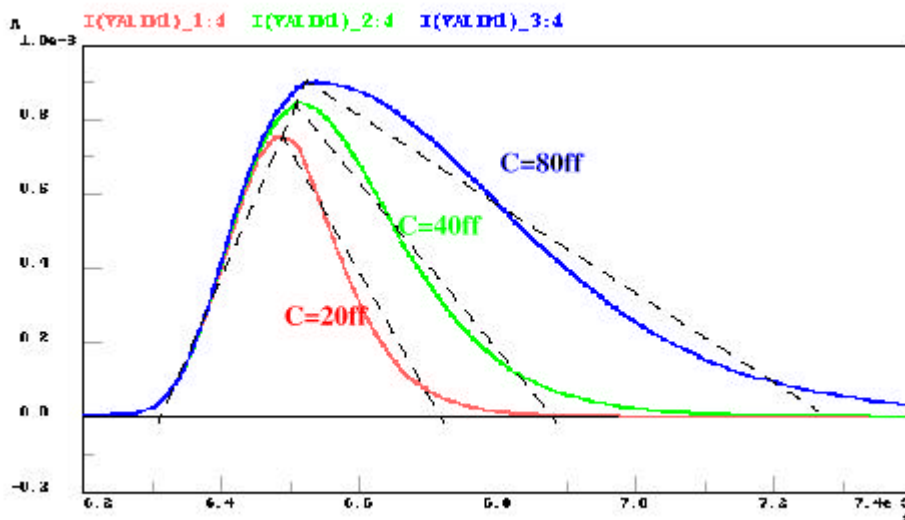


Fig 67 : Consommation de courant lors du front montant.

Le pic de courant correspond au cas où les deux transistors P et N sont en saturation.

La valeur de ce pic dépend essentiellement de la caractéristique des deux transistors, on peut donc considérer que la capacité équivalente en sortie influe peu.

Dans le cas le plus simple (pas de charge en sortie, inverseur parfaitement équilibré), la valeur du pic de courant est donnée par la formule:

$$ID_{sat} = \mu_n \times C_{ox} \times \left(\frac{W_n}{L_n}\right) \times (V_{dd} - V_{tn})^\alpha$$

Dans le cas de transistors dont la longueur du canal est supérieure à 1µm, le paramètre  $\alpha$  est égal à 2. Pour des transistors sub-microniques, il est compris entre 1 et 2. [Weste & Eshraghian, 1993].

De plus, si on simule la consommation de courant du même inverseur avec des valeurs de capacité plus grandes, on remarque que la valeur maximale du pic ne varie pas linéairement ou logarithmiquement en fonction de la capacité.

En revanche, la charge en sortie influera sur le temps durant lequel il y a consommation de courant.

On arrive au même problème avec la modélisation du temps de descente: il est difficile de trouver un polynôme d'interpolation permettant de déterminer approximativement cette valeur dans tous les cas. Néanmoins, on peut se limiter au cas où l'inverseur se trouve dans son régime de fonctionnement normal: pour cela, il faut supposer que la capacité de sortie n'est jamais supérieure à quatre fois la valeur de sa capacité équivalente d'entrée.

De cette manière, on peut interpoler linéairement le pic maximal, le temps de montée et le temps de descente du courant consommé.

En résumé, le temps de montée du courant est approximativement le même quelle que soit la charge, en revanche le temps de descente augmente en fonction de la charge. Ceci peut nous conduire à démontrer l'efficacité d'un modèle du type triangulaire pour simuler analytiquement le courant consommé (donc le bruit induit sur la ligne d'alimentation).

Mais dans le cas d'une utilisation réelle, plusieurs paramètres entrent en jeu.

Le courant consommé est fonction de:

- ⊗ La taille des transistors P et N: pour une même charge, des transistors plus gros consommeront plus brièvement le courant.
- ⊗ La valeur de la capacité en sortie: plus cette capacité est grande, plus le courant consommé est important et la durée de conduction longue.
- ⊗ Le temps de descente du signal d'entrée: si le signal d'entrée est lent, les transistors P et N conduiront simultanément plus longtemps, induisant une sur-consommation.
- ⊗ La température: si la température augmente, les signaux d'entrée et de sortie sont plus lents, le courant consommé est plus étalé dans le temps.

⊗ La variation de process: elle influe sur les temps de montée et de descente du courant. Plus le process est rapide, plus la consommation est brève.

Ces remarques donnent le champ d'application d'une modélisation type « triangulaire » du courant consommé.



Question :

Si l'on considère différentes parties d'un circuit commutant de manière non synchrone, comment appliquera t-on cette modélisation.  
Pensez-vous qu'elle soit complète ?...

### 9.3 Propagation du signal « courant consommé » sur la ligne

Un autre type de représentation du courant consommé sur la ligne différente de la représentation temporelle, peut être la représentation fréquentielle du spectre du signal courant consommé.

*[Attention : penser à vérifier les algorithmes FFT utilisés, nombre de points multiples de  $2^n$ , points équidistants (attention aux logiciels avec pas de simulation temporel auto adaptatif)]*

Exemple :

Soit la FFT d'un signal  $x(t)$  présentée Figure 68.

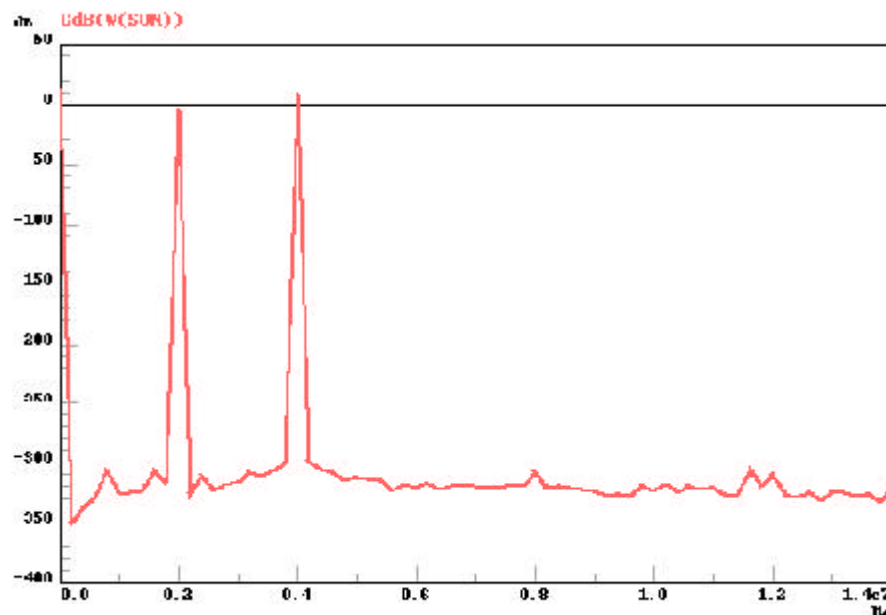


Fig 68 : FFT d'un signal  $x(t)$ .



Question :

Donner à la lecture du graphe le type de signal original

Observation :

- Le niveau  $-300\text{dB}$ , peut être assimilé au bruit numérique engendré par le calcul,
- On note trois pics :
  - Composante continue à  $+14\text{ dB}$ , qui correspond à la valeur moyenne du signal  $5\text{V}$ ,
  - Composante à  $2\text{ MHz}$  à  $-6\text{ dB}$  ( soit  $0,5\text{V}$ ) valeur de l'amplitude d'une sinusoïde à  $2\text{MHz}$ .
  - Composante à  $4\text{ MHz}$  à  $7.96\text{ dB}$  ( soit  $2,5\text{V}$ ) valeur de l'amplitude d'une sinusoïde à  $4\text{ MHz}$ .

#### 9.4 Paramètres permettant de réduire le bruit

Cherchons à quantifier le bruit typique des technologies ST Microelectronics utilisées dans le domaine des micro-contrôleurs.

##### 9.4.1 Influence du process

On peut distinguer les quatre types de technologie les plus utilisées, où deux d'entre elles fonctionnent avec une alimentation de  $5\text{ V}$ , les deux autres étant alimentées en  $3.3\text{ V}$ :

- CMOS5 5V: longueur de grille =  $0.7\text{ mm}$ ,
- HCMOS5LA 5V: longueur de grille =  $0.6\text{ mm}$ ,
- HCMOS5LA 3.3V: longueur de grille =  $0.5\text{ mm}$ ,
- HCMOS6 3.3V: longueur de grille =  $0.35\text{ mm}$ .

Les simulations ci-après ont été réalisées à l'aide d'une chaîne d'inverseurs de même technologie, avec, en entrée, un signal de type horloge.

Les mesures sont réalisées à la sortie du troisième inverseur afin de stabiliser le temps de montée. Les *temps de propagation* étant différents selon les technologies, les courbes doivent être translatées pour avoir le front montant de chaque inverseur à la même origine.

On obtient donc la simulation Figure 58 qui représente l'évolution du courant consommé et de la tension en sortie de la chaîne d'inverseurs.



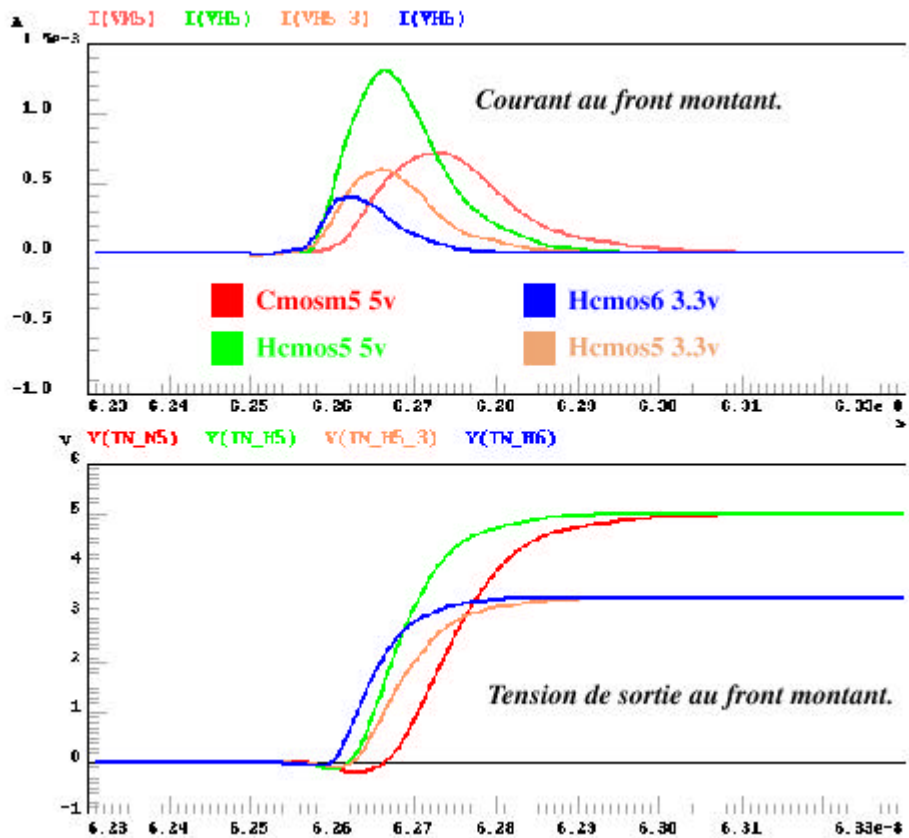


Fig 69 : Chaîne d'inverseurs : évolution du courant consommé.

Remarques générales :

- Technologie 5V :  
 La technologie HCMOS5LA, plus récente que CMOS5, est un peu plus rapide (0.13ns de temps de montée contre 0.16ns en CMOS5). Mais elle est plus bruyante d'environ +2dB sur toute la plage de fréquence. Ce phénomène est dû en grande partie à la capacité d'oxyde Cox (plus grande en HCMOS5LA) qui accélère le front montant et augmente la valeur maximale du courant. La capacité équivalente d'entrée des inverseurs est de l'ordre de 20ff dans les deux technologies.
- Technologie 3,3V  
 La technologie HCMOS6 paraît très intéressante pour réduire le bruit. Le temps de montée est plus faible qu'en HCMOS5LA 5V (0.105ns contre 0.125ns), alors que la technologie est moins bruyante. On gagne environ 5dB en passant d'une chaîne d'inverseurs HCMOS5LA à une chaîne d'inverseurs en HCMOS6.  
 En fait, les inverseurs de la technologie HCMOS6 ont une capacité d'entrée très faible (environ 8ff en HCMOS6 contre 20ff en HCMOS5LA). Les inverseurs sont donc moins chargés en sortie, ce qui entraîne une forte diminution du courant consommé.

Si on passe un circuit de la technologie HCMOS5LA 5V en technologie HCMOS6 en 3.3V, on gagne presque 15dB tout en conservant la même fonctionnalité.

Les valeurs des temps de montée et de la F.F.T. du bruit se résument à :

	Techno	M5H 5V	HC5LA 5V	HC5LA 3.3V	HC6 3.3V
	Temps de montée	<b>0.16ns</b>	0.13ns	0.125ns	0.105ns
Harmoniques prépondérants	16MHz	-2 dB	Réf,	-9 dB	-14 dB
	816Mhz	-3dB	Réf,	-9dB	-15dB

Mais, dans la pratique, on ne peut pas se permettre de changer facilement de technologie pour pouvoir améliorer les performances d'un micro-contrôleur.

Le changement de technologie, appelé 'shrink' (réduction), a un coût de mise en œuvre très important. (recherche d'un pas homothétique de grille)

En revanche, certains paramètres comme le temps de montée du signal d'entrée permettent une réduction conséquente du bruit alors que les modifications à apporter au design sont limitées.

Dans les simulations suivantes on se limitera donc à la technologie HCMOS5LA (5V), la charge en sortie de l'inverseur et la largeur de grille des transistors étant fixée. Le but ici n'est pas de re-dessiner le circuit intégralement, mais plutôt de caractériser les paramètres critiques en terme de C.E.M, afin d'aboutir à peu de modifications sur le dessin des masques.

#### 9.4.2 Réduction du courant consommé pour une technologie donnée

Le temps de montée du signal d'entrée influe de manière conséquente le bruit.

En effet, on peut distinguer deux cas:

- *Le temps de montée du signal d'entrée est faible par rapport au temps de montée d'un inverseur non chargé (courbe rouge).*

En première approximation, on peut considérer que le courant n'est consommé que lors de la charge de la capacité en sortie.

Le pic de consommation est très bref, mais la valeur maximale du pic est importante.

Ce signal peut être considéré comme un peigne de Dirac, c'est-à-dire une série d'impulsions brèves à la fréquence du signal d'entrée. Ce signal est très riche en harmoniques qui restent importantes même à haute fréquence.

- *Le temps de montée du signal d'entrée est grand par rapport au temps de montée d'un inverseur non chargé (courbe bleue)*

Dans ce cas, la consommation de courant est plus étalée dans le temps. Cela permet de réduire les harmoniques haute fréquence.

En revanche, un temps de montée lent à l'entrée provoque une augmentation du courant consommé au front montant et au front descendant à cause de la conduction simultanée des deux transistors.

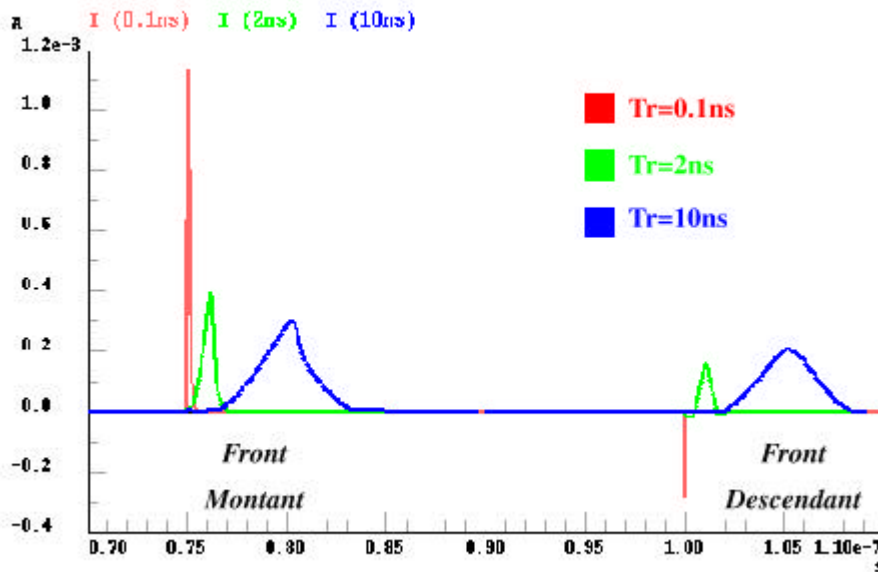


Fig 70 : Evolution du courant consommé en fonction de temps de montée.

L'analyse fréquentielle montre qu'effectivement un temps de montée du signal d'entrée plus long réduit l'amplitude des harmoniques élevées. Mais la conduction simultanée des deux transistors augmente les harmoniques basse fréquence.

Nous verrons plus tard un moyen d'éliminer cet effet indésirable.

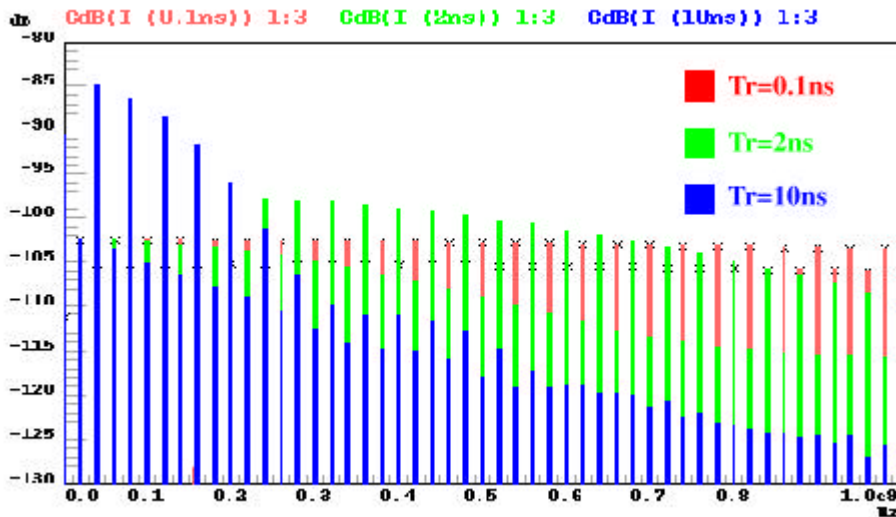


Fig 71 : FFT du courant consommé en fonction de temps de montée

Un moyen de diminuer le bruit en courant serait de ralentir le signal d'entrée.

### 9.4.3 Influence de la longueur du canal

La variation de la longueur du canal des transistors implique un ralentissement du signal de sortie: plus le canal sera long, plus le signal en sortie sera lent (Figure 72).

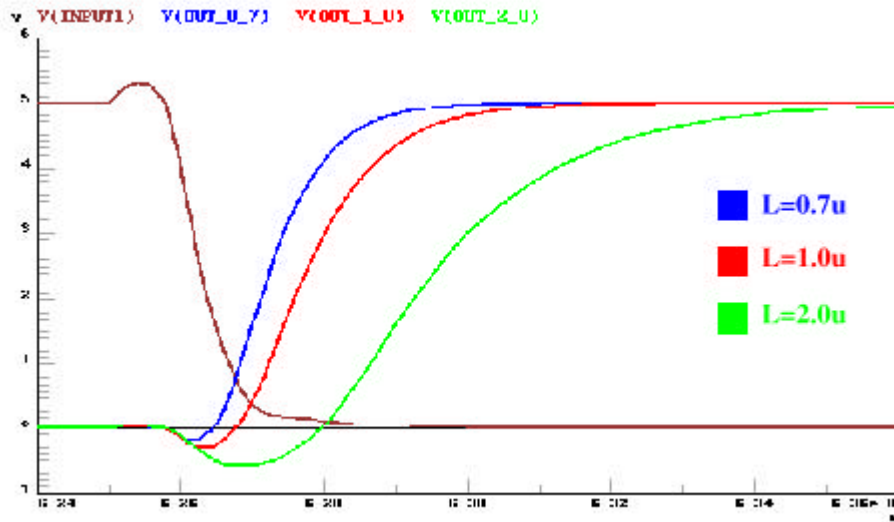


Fig 72 : FFT du courant consommé en fonction de temps de montée.



Question :

Expliquer le « rebond » observé sur le signal d'entrée.

L'utilisation de cette méthode (réduisant les harmoniques haute fréquence) fait apparaître des harmoniques basse fréquence liés à la conduction simultanée des 2 transistors.



Question :

Comment réduire ce phénomène parasite ?

Une solution consiste à assurer la commande séparée des transistors P et N, en retardant légèrement la commutation de l'un par rapport à l'autre (Figure 73).

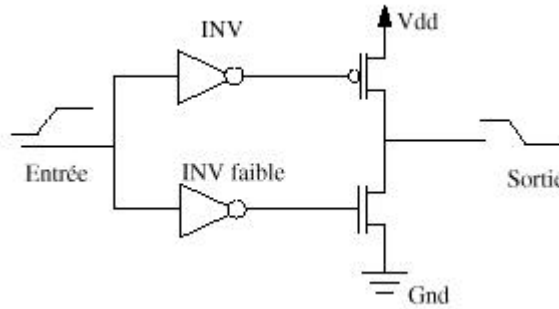


Fig 73 : Buffer à commande séparée.

### 9.5 Simulation d'un circuit d'horloge

Ainsi il est possible de modifier certaines cellules du design afin de réduire conséquemment le bruit.

C'est le cas, par exemple, pour le buffer d'horloge, constitué de gros inverseurs, qui alimentent le micro-contrôleur et ses périphériques. Les circuits d'horloge sont de gros consommateurs de courant, ils perturbent donc fortement l'alimentation.

Soit le circuit d'horloge complet, incluant le quartz et son buffer, la logique génératrice du signal d'horloge et le buffer en sortie.

Le schéma Figure 74, détaille l'influence de chaque cellule sur le bruit conduit sur les alimentations.

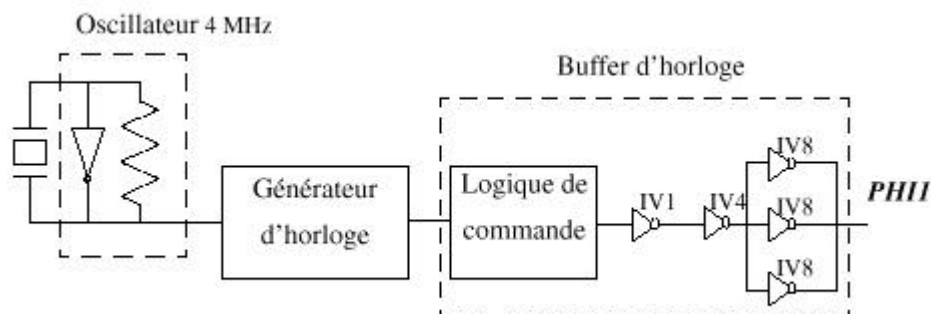


Fig 74 : Circuit de génération d'horloge.

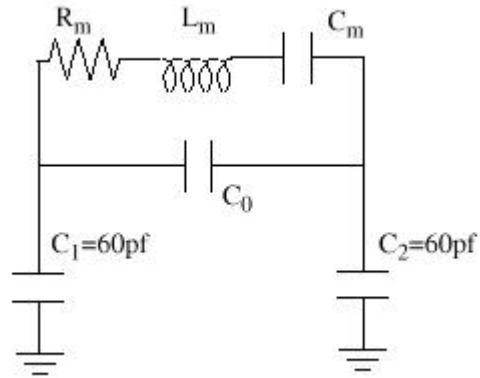


Fig 75 : Modélisation du quartz.

C1 et C2 sont les capacités rajoutées à l'extérieur du boîtier, Lm , Rm , Cm constituent le circuit résonant à la fréquence :

$$F = \frac{1}{2\pi \times \sqrt{L_m \times C_m}}$$

Le facteur de qualité est égal à :

$$Q = \frac{L_m \times \omega}{R_m}$$

Par exemple, pour une fréquence de résonance du quartz de 4 MHz, les valeurs correspondantes des éléments sont :

- \* Rm = 30 Ω
- \* Lm = 396 mH
- \* Cm = 4 fF
- \* C0 = 5pF

Les simulations sont réalisées grâce à cette modélisation, la courbe Figure 65 représentant le bruit en courant généré par l'oscillateur :

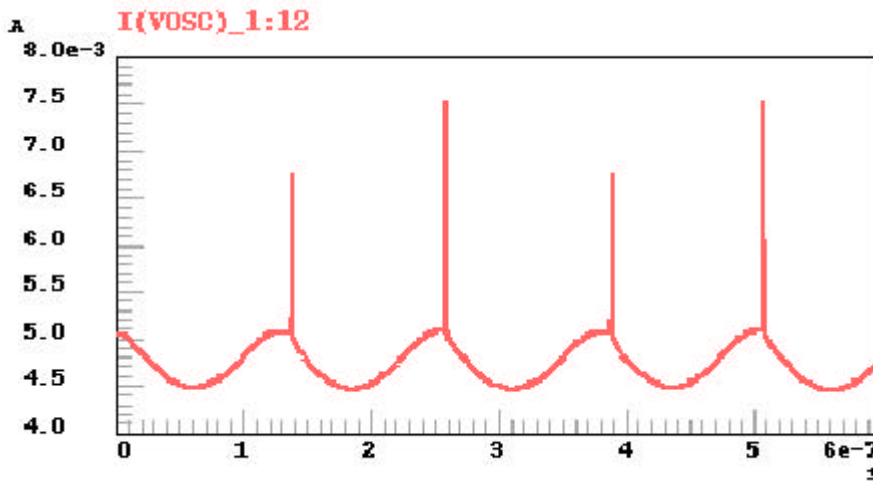


Fig 76 : Variation du courant consommé.

On remarque une oscillation constante du courant due au fonctionnement même du montage (buffer contre-réactionné par le quartz), additionnée de pics de courant très brefs.

Ces pics de courant correspondent aux transitions du signal de sortie logique de l'oscillateur.

Si on effectue une F.F.T. du courant consommé par l'oscillateur, on s'aperçoit qu'il pollue particulièrement la fréquence  $2 \cdot F$ , c'est-à-dire la première harmonique.

En effet, l'oscillation continue peut être assimilée à un signal de fréquence  $2 \cdot F$  et d'amplitude importante.

Le tableau ci-après résume l'effet de l'oscillateur sur le bruit :

Fréquence	Oscillateur	Experiences selon la norme V.D.E.
4 MHz	38.7 dB $\mu$ V	35.0 dB $\mu$ V
8 MHz	49.5 dB $\mu$ V	59.5 dB $\mu$ V
12 MHz	28.9 dB $\mu$ V	37.0 dB $\mu$ V

Certaines analyses ont déjà été réalisées sur cet oscillateur selon la norme V.D.E. La comparaison entre la simulation et l'expérience montre que la modélisation de l'oscillateur n'est pas tout à fait réaliste: le modèle du quartz n'est pas parfait et la simulation ne tient pas compte des éléments parasites dus au routage, au boîtier, aux pins, etc...

Néanmoins la simulation donne une bonne image du bruit généré.

Après avoir étudié l'oscillateur, intéressons nous à la cellule qui lui est directement connectée: le générateur d'horloge.

### 9.5.1 Le buffer

L'étage du buffer scinde le signal d'horloge en deux sous-signaux, l'un destiné à alimenter le processeur interne, l'autre destiné aux périphériques. Ces deux signaux sont fortement

amplifiés pour être utilisés dans tout le circuit. Chaque cellule de la puce possède une entrée d'horloge (possédant son propre buffer interne) alimentée par un des deux signaux.

Le buffer d'horloge est donc très fortement chargé, un exemple de spécifications des micro contrôleurs ST7 évalue la capacité équivalente en sortie comprise entre 2.5pF et 6.5pF pour l'horloge destinée aux périphériques.

Dans les simulations suivantes, l'horloge destinée au processeur est inhibée, seule l'horloge périphérique est connectée.

Pour travailler aux limites des spécifications, la capacité équivalente en sortie est prise égale à 6.5pF.

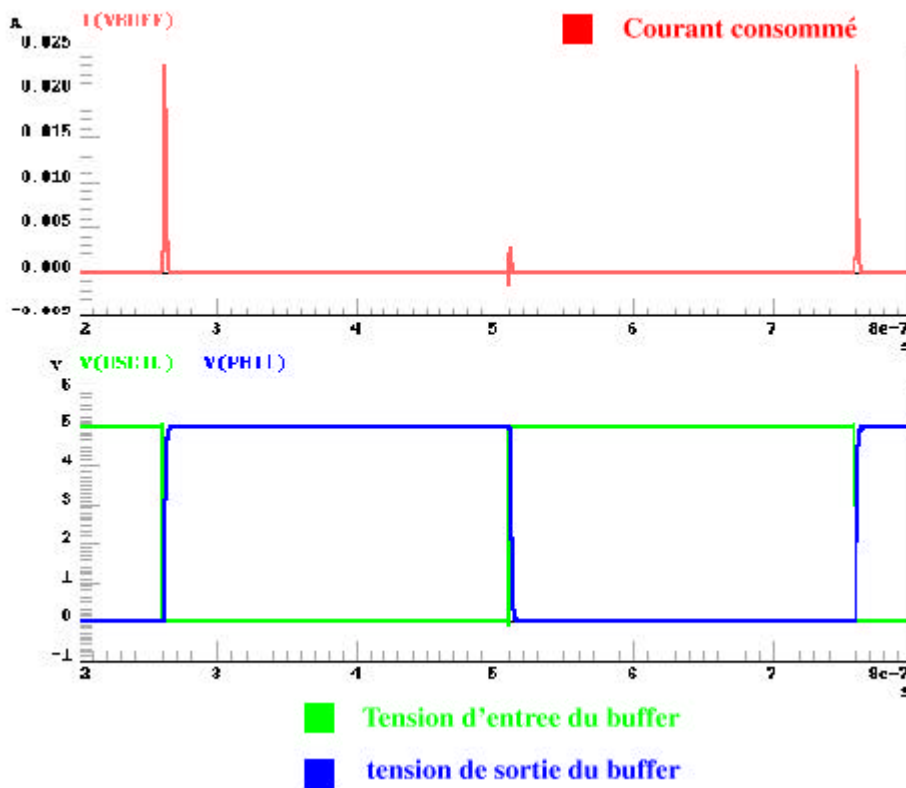


Fig 77 : Simulation du courant consommé.

Les pics de courant dus au buffer sont très élevés en amplitude (23mA en valeur maximale contre 3.5mA pour le générateur d'horloge) et très brefs : les harmoniques du signal seront donc très fortes, comme le montre l'analyse fréquentielle du courant ci-après :

Le buffer est donc une cellule qui conduit un bruit important sur l'alimentation et génère de nombreuses harmoniques.



## 9.6 Solutions pour diminuer le bruit sur l'alimentation

Nous avons montré qu'il existe plusieurs manières de réduire le bruit conduit:

- **Réduire la consommation de courant :**

La limitation du courant dans les branches du buffer permet de réduire l'amplitude de tous les pics de fréquence. Cette méthode présente cependant certains inconvénients: réduire la consommation du buffer entraîne une limitation des performances.

Le buffer amplifie moins fortement le signal donc si la capacité équivalente en sortie est importante, le temps de montée du signal de sortie sera fortement augmenté.

La réduction de la consommation passe par l'étude de deux phénomènes:

- *Le courant de charge de la capacité:*

Il faut essayer de diminuer celui-ci autant que possible, tout en faisant attention à respecter les spécifications du temps de montée du signal dans les pires conditions de fonctionnement (température maximum, performances du process minimum). Cela revient à redimensionner la taille des inverseurs dans le buffer afin de les optimiser en fonction de la charge. Pour cela il est possible de réduire la taille des inverseurs de sortie (longueur du canal plus importante)

- *La conduction simultanée des transistors P et N:*

Ce phénomène devient important si le temps de montée du signal est grand. Le redimensionnement du buffer doit donc être accompagné d'une structure permettant de s'affranchir de ces problèmes.

Une solution consiste à séparer la commande des MOS P et des MOS N au niveau des inverseurs de sortie (les plus bruyants) (Figure 78).

Cette solution est peu encombrante et efficace :

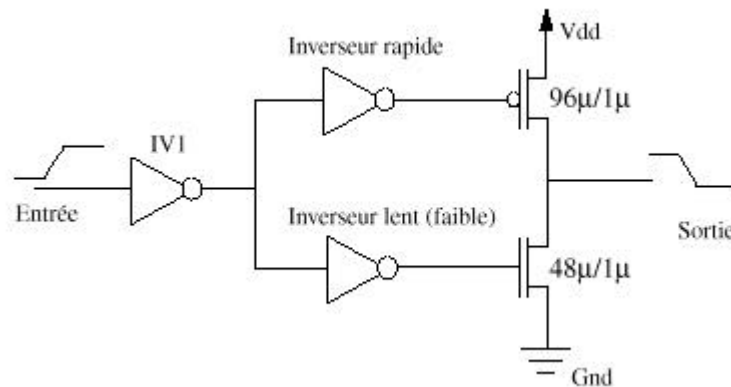


Fig 78 : Transistors à commande séparée.

- **Différer la consommation de courant dans le temps.**

Si plusieurs signaux commutent en même temps, la consommation de courant transitoire va être forte en amplitude et brève, donc riche en harmoniques. On pourrait donc envisager de différer certains signaux afin de produire des pics de courant plus nombreux mais plus faibles.

Dans le cas du buffer d'horloge, il faudrait donc plusieurs lignes d'horloge retardées (Figure 79) :

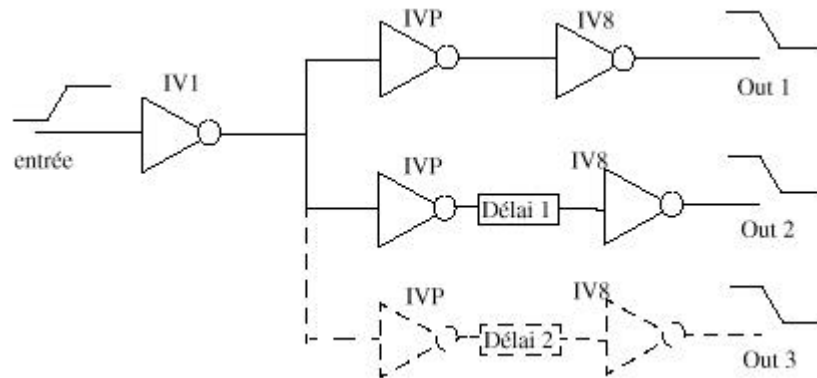


Fig 79 : Création de lignes d'horloge retardées.

- **Réduire le temps de montée du courant**

Plus le pic de courant est bref et élevé, plus l'amplitude des harmoniques sera grande. On pourrait donc envisager un système qui réduise la vitesse de transmission des inverseurs.

Cela revient à sous-dimensionner le buffer par rapport à sa charge, tout en respectant les contraintes des spécifications. On peut également utiliser des inverseurs de sortie lents (en augmentant la longueur du canal des deux transistors).

- **Intégration de capacités de découplage à l'intérieur de la puce**

Ces capacités ont pour rôle de réduire la boucle formée par l'alimentation et le circuit. Cette boucle est souvent la cause d'instabilité du système. Ces capacités 'on-board' que l'on peut relativement insérer sur toutes les surfaces non utilisées (sous les lignes de routage par exemple, ou au travers de MOS) agissent comme des batteries:

les pics de consommation du circuit sont normalement absorbés par la capacité, celle-ci se chargeant assez lentement afin de réduire les pics de courant sur l'alimentation externe.

Cette solution limite effectivement le bruit conduit sur l'alimentation, en revanche elle n'a aucun effet sur le bruit émis par le circuit: la capacité ne limite pas les pics de courant à l'intérieur du circuit.

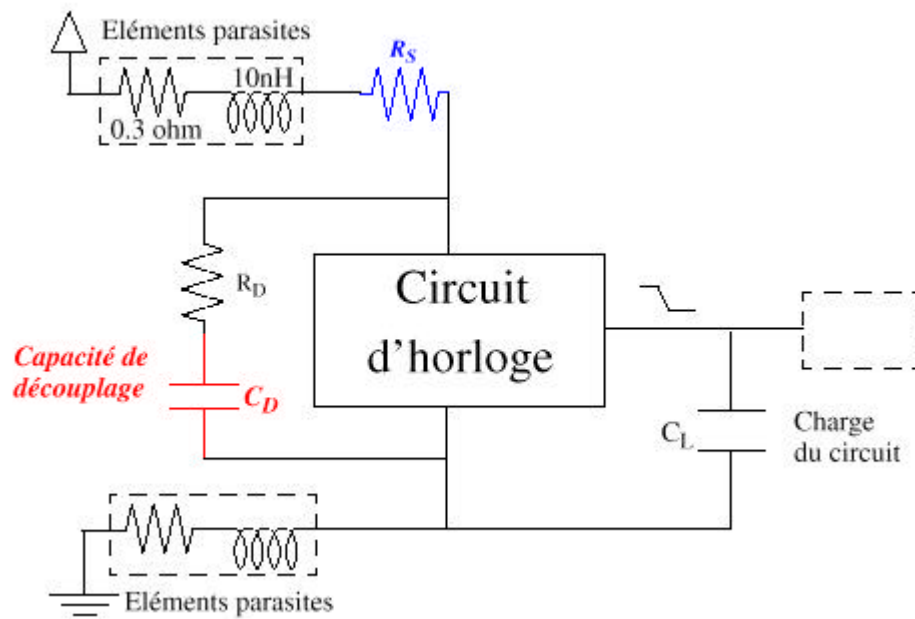


Fig 80 : Implantation de capacités de découplage.

Il repose essentiellement sur la capacité  $C_D$  jouant le rôle d'une batterie et sur la résistance  $R_S$  qui permet de limiter la pente du courant selon la constante de temps  $R_S * C_D$ .

La résistance parasite  $R_D$  dégrade les performances de ce système, pour cela on cherchera à la diminuer au maximum.

La résistance  $R_S$  permet de limiter le courant de charge de la capacité  $C_D$ . En contrepartie elle induit une légère chute de tension sur le niveau haut logique.

Elle doit être calculée avec précaution, afin de ne pas trop dégrader le signal.

$R_S$  et  $C_D$  peuvent être déterminées grâce aux équations suivantes :

$$\frac{V_{dd} \times Req}{Req + R_S} = V_{perte}$$

$$Req = \frac{1}{(C_L \times Frequency)}$$

$$C_D > 10 \times C_L$$

La simulation suivante est la comparaison entre les résultats du buffer actuel d'horloge du micro-contrôleur avec un capacité de découplage de 200fF et sans.

On remarque effectivement la chute de tension sur le niveau haut, alors que le courant est très fortement distribué sur toute la période de fonctionnement du circuit. Le temps de montée du signal est le même dans les deux cas.

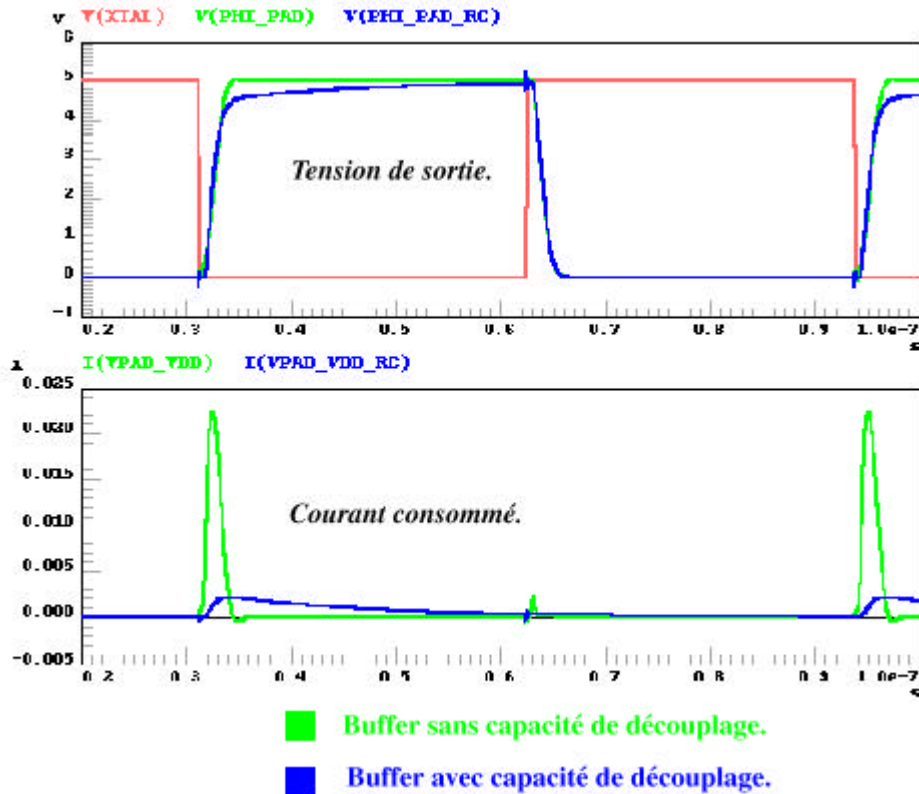


Fig 81 : Comparaison du courant consommé avec ou sans capacités de découplage interne au circuit.

La réduction de bruit obtenue lors de l'analyse fréquentielle est très importante, de l'ordre de 5dB sur le fondamental et jusqu'à 30dB dans les hautes fréquences (jusqu'à 1 GHz).

La capacité de découplage est donc un des éléments les plus efficaces pour réduire le bruit conduit.

*Remarque :*

*Attention cependant aux problèmes de décharge électro-statique: la capacité peut éventuellement claquer si la tension à ses bornes est trop grande.*

## 10 Mesures

Même si actuellement il n'existe formellement aucune directive Européenne au niveau du composant, les fabricants de circuits intégrés sont contraints par les équipementiers d'assurer par la mesure un niveau minimum de bruit.

Le résultat de mesure CEM étant très fortement conditionné par les conditions de mesure certains organismes essaient d'uniformiser (en vue de normaliser, cf. Chapitre 10) certaines techniques de mesure.

Nous citerons pour information, l'Institut Européen de Recherche sur les Systèmes Electroniques pour les Transports (*IERSET*) de Toulouse qui a vu le jour, en partenariat avec AEROSPATIALE, ALCATEL, MOTOROLA et SIEMENS et l'INSA

Quelques techniques de mesure sont présentées ci-après, et concernent d'une part l'évaluation de la susceptibilité d'un composant soumis à une agression électromagnétique et d'autre part la mesure des perturbations émises par un composant.

### 10.1 Techniques de Mesure de la susceptibilité d'un composant à une agression

#### 10.1.1 Agression en champ direct

Cette méthode consiste à caractériser un composant en susceptibilité au rayonnement reçu, on va donc agresser en champ direct le composant seul (Figure 82), seul le composant est exposé au champ perturbateur créé par l'antenne. En effet, l'ensemble des ressources associées au composant sont protégées par l'enceinte blindée.

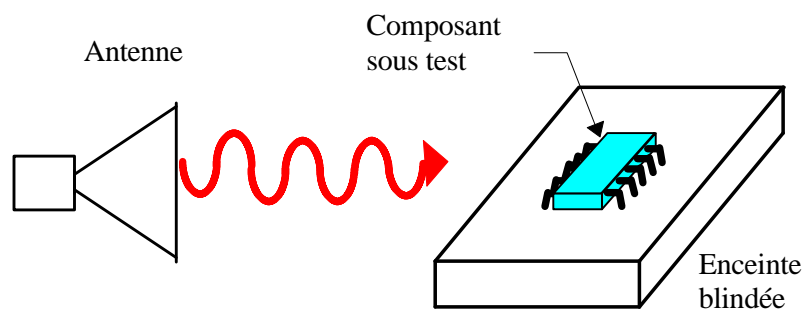


Fig 82 : Agression en champ direct d'un composant.

Cette méthode de test est réalisée en chambre anéchoïde ou en chambre à brassage de mode. L'alimentation est réalisée à l'aide d'une batterie. La communication avec l'extérieur se fait au moyen de fibre optique

Le dispositif permet de n'agresser que le composant, le fabricant détermine l'amplitude du champ émis et la bande de fréquence (exemple : 400V/m entre 300MHz et 1GHz, 200V/m entre 1 et 18GHz). On observe la susceptibilité du composant au champ reçu.

Les expérimentations menées sur le sujet montrent qu'il est très difficile de caractériser un composant en champ direct (rare susceptibilité du composant). Une explication réside dans le fait que les surfaces de boucles exposées au champ magnétique sont très petites et n'autorisent pas de couplage suffisant pour générer un dysfonctionnement. Par ailleurs, pour des

fréquences inférieures à 1GHz, les dimensions du composant sont très petites devant la longueur d'onde du perturbateur, ce qui a pour effet de limiter considérablement le couplage en champ électrique.

### 10.1.2 Injection par pince inductive

L'essai d'injection d'une perturbation par pince inductive s'inspire des essais BCI (Bulk Current Injection) décrits par les normes CEM appliquées aux équipements [cf. Chap 10].

Cela consiste à injecter via une pince d'injection un courant perturbateur sur la ou les entrées/sorties à agresser (Figure 83). On enregistre pour chaque fréquence, sur la pince de mesure, le niveau de courant qui génère une susceptibilité du composant, suivant les critères prévus pour l'essai (changement d'état logique, dérive analogique, etc.).

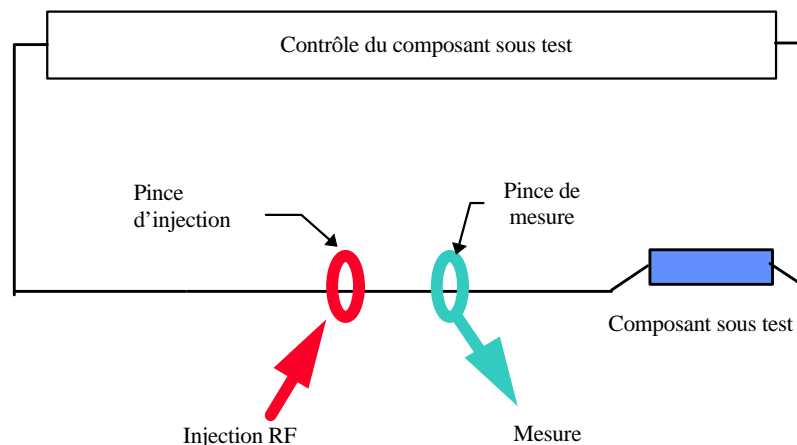


Fig 83 : Boucle d'injection de courant

La méthode est très proche des essais sur équipements mais reste limitée en fréquence ( bande de fréquence :10 kHz → 400 MHz).

Des recherches sont actuellement conduites pour utiliser la méthode jusqu'à 1 GHz.

La mise en oeuvre nécessite l'utilisation d'un dispositif de couplage, associé si nécessaire à des filtres. La Figure 84 montre un exemple de dispositif de test pour agresser l'entrée 12V d'un régulateur.

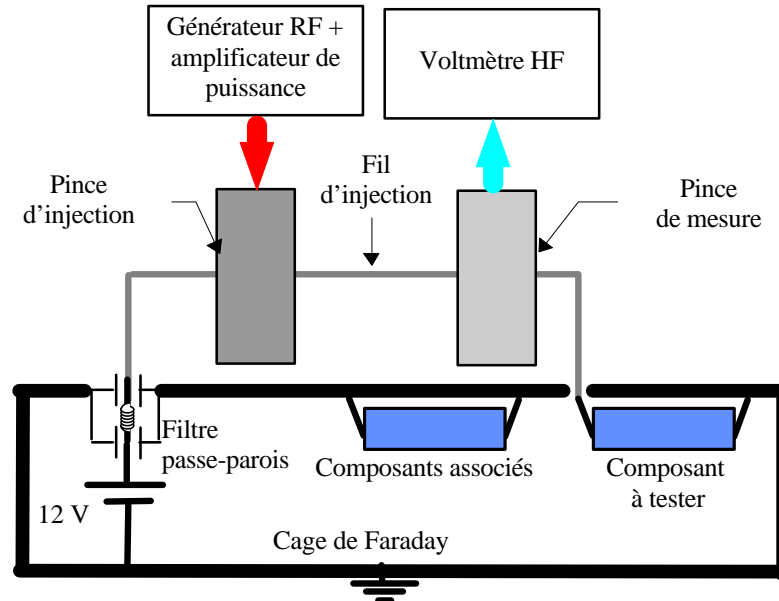


Fig 84 : Exemple de montage de test sur un régulateur 12V.

Dans cet exemple l'agression se fait à l'extérieur d'une petite cage de Faraday qui contient le composant et le dispositif de contrôle associé. Ceci a pour effet de limiter le rayonnement parasite indésirable.

Par ailleurs, le filtre passe paroi permet :

- de protéger l'environnement du composant
- de filtrer la perturbation RF introduite,
- de refermer le courant perturbateur sur une faible impédance.

Du fait de l'encombrement des pinces, le fil d'injection introduit dans le circuit une inductance importante (de l'ordre de 40 nH). Aussi, cette méthode est-elle réservée aux composants analogiques BF et aux signaux lents des composants numériques.

Cette méthode est déjà utilisée par certains fondeurs pour vérifier l'immunité de leurs composants.

### 10.1.3 Le couplage capacitif

Cette méthode de mesure est réalisée à l'aide de coupleurs capacitifs  $50 \Omega$  (Figure 85). Le couplage de la perturbation haute fréquence (HF) se fait par le biais d'une capacité de couplage. Le signal utile (par exemple un signal d'horloge) est acheminé via l'entrée de polarisation, la capacité de découplage et la self de choc assurant la protection de l'environnement vis-à-vis des perturbations HF. La sortie HF est connectée au composant à tester.

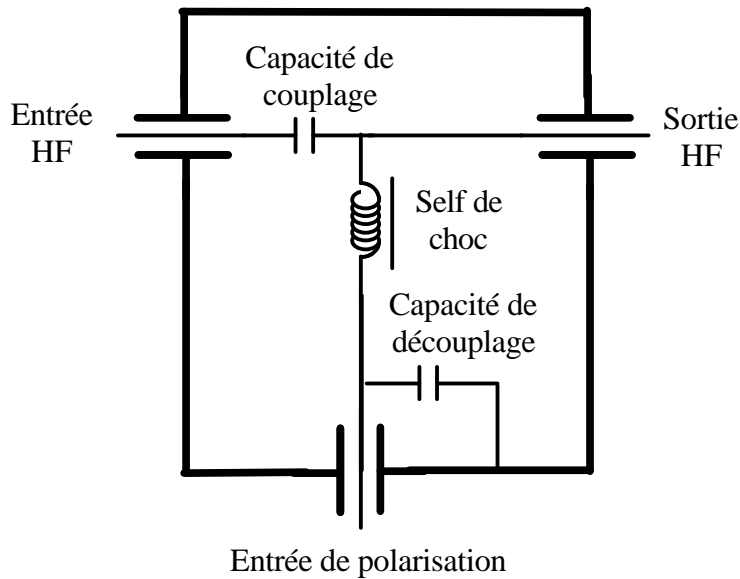


Fig 85 : Schéma de principe d'un coupleur capacitif (T de polarisation).

La règle d'or CEM est de toujours connecter sur son impédance caractéristique une broche. Il s'en suit qu'un coupleur connecté sur une broche non agressée du composant doit impérativement être chargé par une impédance de  $50\ \Omega$  (Figure 86).

La fréquence des perturbations que l'on peut injecter varie de  $100\ \text{MHz}$  et  $18\ \text{GHz}$ , cette très bonne bande passante du T, obtenue par une technologie fine de matériaux, a un coût qui peut très vite être exorbitant ( $7\text{kF}$  par coupleur...) (Figure 87).

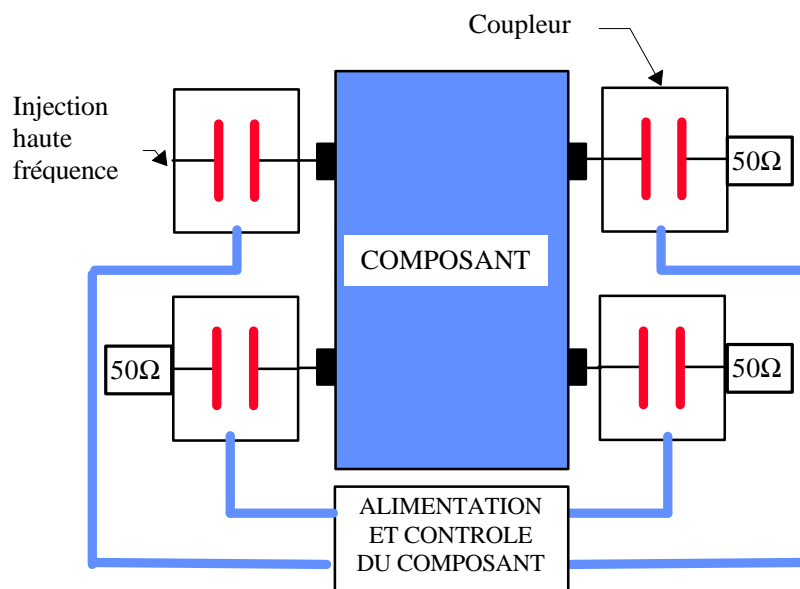


Fig 86 : Dispositif de test par couplage capacitif

Lors de l'agression du composant, on mesure la puissance incidente et la puissance réfléchie. La susceptibilité de la porte s'analyse en surveillant sa consommation et la variation de sa sortie sur une configuration d'entrée fixe.



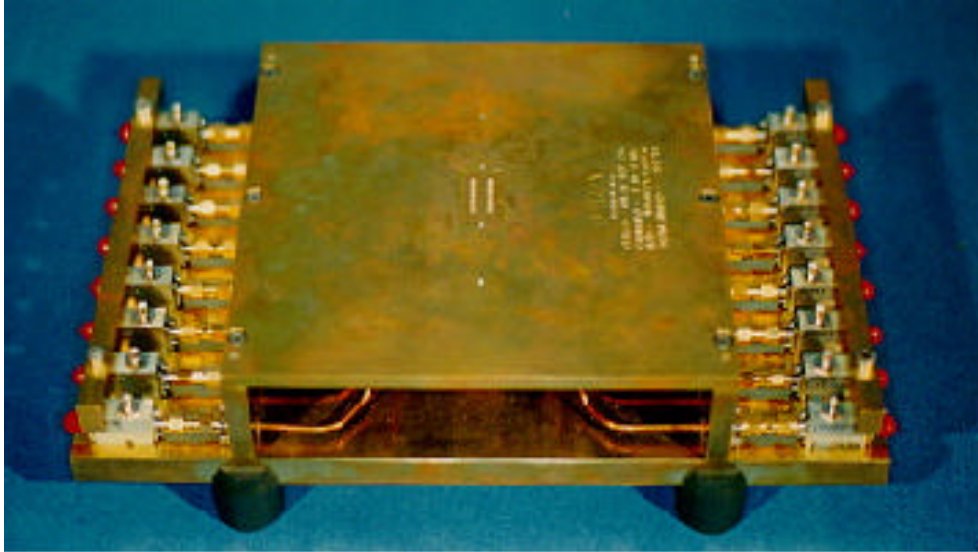


Fig 87 : Dispositif de couplage capacitif pour un circuit de 16 broches.

#### 10.1.4 Agression par couplage sur la ligne de transmission entre deux composants

Cette méthode consiste à exposer, au moyen d'une cellule TEM (Figure 88), au champ magnétique  $B$ , la ligne de transmission entre deux composants (Figure 89).

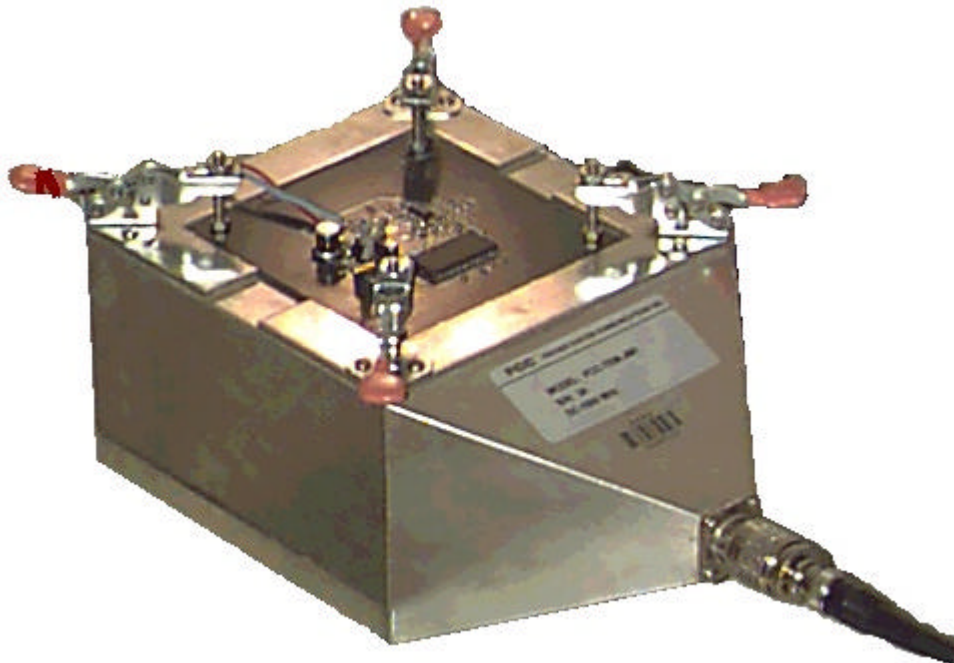


Fig 88 : Cellule TEM.

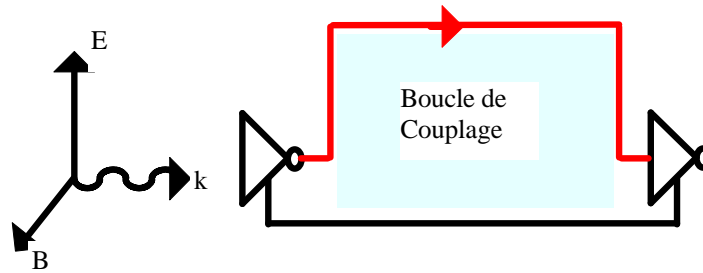


Fig 89 : Agression d'une ligne de transmission entre deux composants dans une cellule TEM

On n'expose que le composant à agresser au courant perturbateur, les composants associés étant protégés par des filtres (boucle en TEM) (Figure 90).

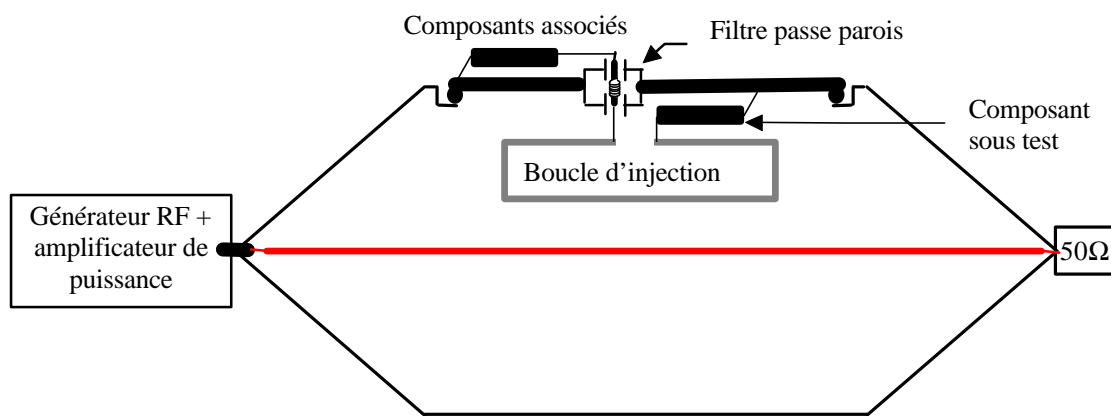


Fig 90 : Boucle magnétique placée dans une TEM.

La bande de fréquence réalisable dépend des caractéristiques de la cellule TEM utilisée.

### 10.1.5 WBFC (WorkBench Faraday Cage)

La méthode s'appuie sur la norme IEC (International Electrotechnical Commission) 100-4-6 et fait l'objet d'une proposition de norme présentée par Philips. On vient superposer au signal de contrôle du circuit, une perturbation HF.

Les câbles qui sont connectés à la puce présentent une impédance de mode commun qui se situe autour de  $150\Omega$ . Aussi, l'injection se fait sur une impédance normalisée de  $150\Omega$  ( $50\Omega$  impédance du générateur +  $100\Omega$  mise en série). (Figure 91).

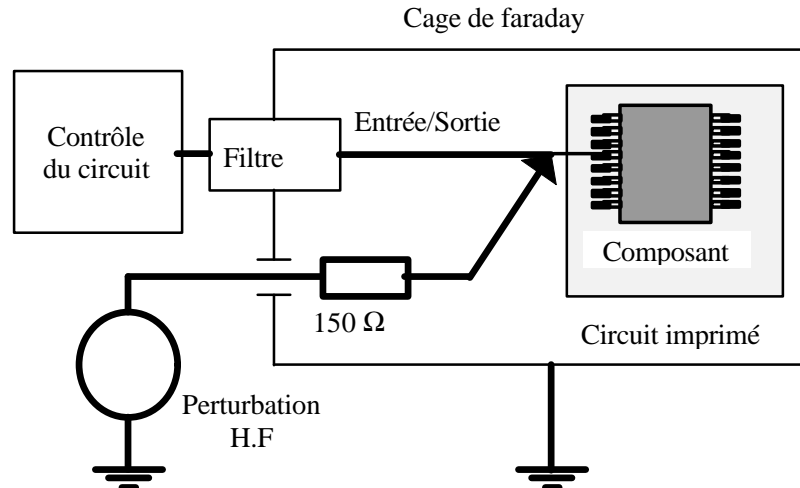


Fig 91 : Synoptique du banc WBFC.

Le circuit imprimé qui supporte le composant est installé dans une enceinte faradisée à 10 cm au dessus du plan de masse et doit être au moins à 3 cm des parois verticales. Chaque signal utile (alimentation, entrée, sortie) est véhiculé vers l'extérieur de la cage via des filtres passe parois et des ferrites pour que chaque fil présente une très forte impédance de mode commun.

La méthode est prévue pour réaliser des agression entre 150 kHz et 1 GHz.

A noter le faible coût, la facilité de mise en œuvre, et la possibilité de faire des mesures de perturbations émises (caractère réversible de la méthode), par contre pour le test de signaux rapides on retiendra la méthode de couplage par coupleurs capacitifs.

Après avoir présenté certaines méthodes visant à mesurer la susceptibilité d'un composant aux perturbations reçues, nous allons présenter certaines techniques de mesures de perturbations émises par le composant

## 10.2 Techniques de Mesure de perturbations rayonnées émises par un composant

On se propose d'évaluer les perturbations émises par le composant :

- par rayonnement (deux méthodes),
- par conduction via les broches du composant (trois méthodes).

### 10.2.1 Mesures en TEM

Cette méthode issue du groupe de travail SAE J1752/3 fait l'objet d'une proposition de norme au niveau international dans le cadre de l'IEC.

Les perturbations électromagnétiques de mode différentiel émises par un composant sont mesurées à l'aide d'une cellule TEM (Figure 92) connectée à un récepteur de mesure. La cellule, de petites dimensions, autorise des mesures jusqu'à 1GHz.

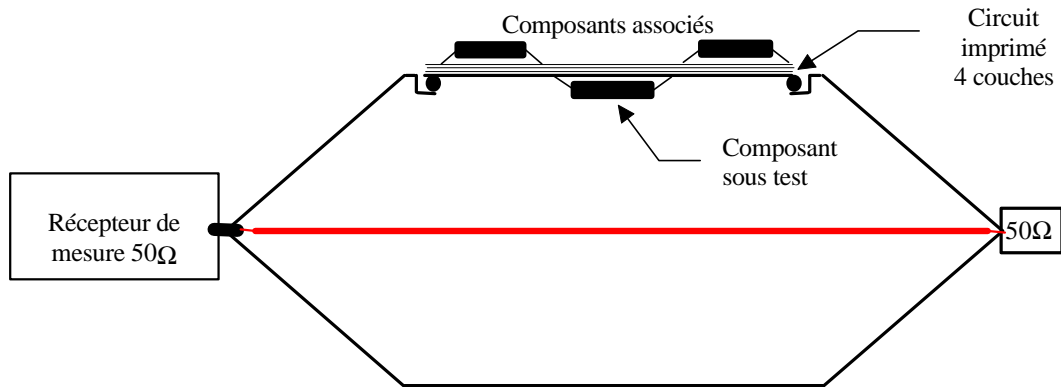


Fig 92 : Mesure de perturbations émises en cellule TEM.

La tension obtenue sur le récepteur, est l'image de la contribution du champ électromagnétique généré par le composant.

En pratique, le composant à mesurer est installé sur un circuit imprimé qui s'implante dans la cellule TEM. Ce dernier assure la continuité de blindage de la cellule. Aussi, seul le rayonnement du composant (avec certaines parties du circuit imprimé...) est mesuré, son environnement de contrôle se trouvant à l'extérieur de la cellule.

Il est recommandé de faire la mesure suivant deux orientations du composant à 90° l'une de l'autre, afin de déterminer l'axe préférentiel de couplage (important si le couplage est magnétique).

Cette méthode, simple à mettre en œuvre est particulièrement adaptée pour comparer la signature globale de deux composants, (impossibilité de déterminer à les sources de rayonnement prépondérantes internes au composant).

### 10.2.2 Sonde de champ magnétique

Méthode issue du groupe de travail SAE J1752/2, elle fait l'objet d'une proposition de norme au niveau international dans le cadre de l'IEC.

Elle consiste à évaluer le champ magnétique émis par le composant (Figure 93) à l'aide d'une sonde de géométrie spécifique de 20mm de côté entre 1 MHz et 1 GHz

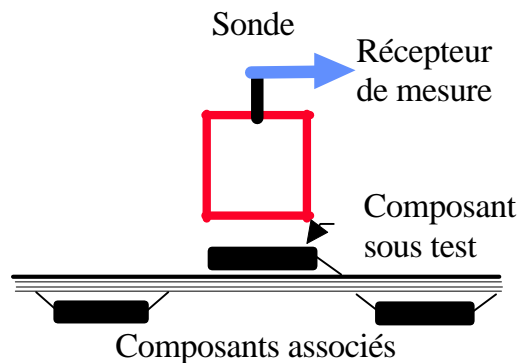


Fig 93 : Mesure de champ magnétique.

La sonde (Figure 94) est constituée d'un câble coaxial semi-rigide qui comporte une ouverture de 1 mm dans son blindage. Cette ouverture a pour effet de créer un écran électrostatique constitué par le blindage, ce qui réduit très fortement le couplage en champ électrique et autorise ainsi l'usage de la sonde dans un environnement non faradisé.

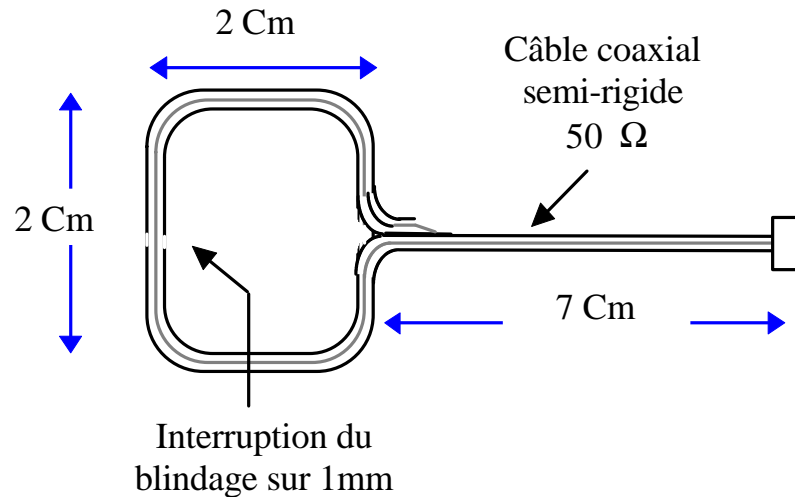


Fig 94 : Détails de la sonde de champ magnétique.

La circulation de courant dans les boucles internes au composant, crée un champ magnétique qui génère à son tour une tension dans la sonde mesurée par le récepteur de mesure. Lors de mesure, on s'attache à trouver l'orientation de la sonde qui génère les plus forts niveaux de perturbations.

La méthode est peut être intéressante pour faire du diagnostic sur un circuit intégré et en particulier pour rechercher la zone la plus perturbatrice d'un composant.

### 10.3 Techniques de Mesure de perturbations conduites émises par un composant

Issue du groupe de travail VDE AK767.13, cette méthode fait l'objet d'une proposition de norme internationale dans le cadre de l'I.E.C.

On mesure les perturbations électromagnétiques conduites sur les fils de masse et sur les entrées/sorties du composant dans la bande de fréquences comprises entre le continu et 1GHz.

La mesure se fait au travers une impédance de 1 ohm pour les courants de masse et sur charge 150 ohms pour les entrées/sorties (Figure 95).

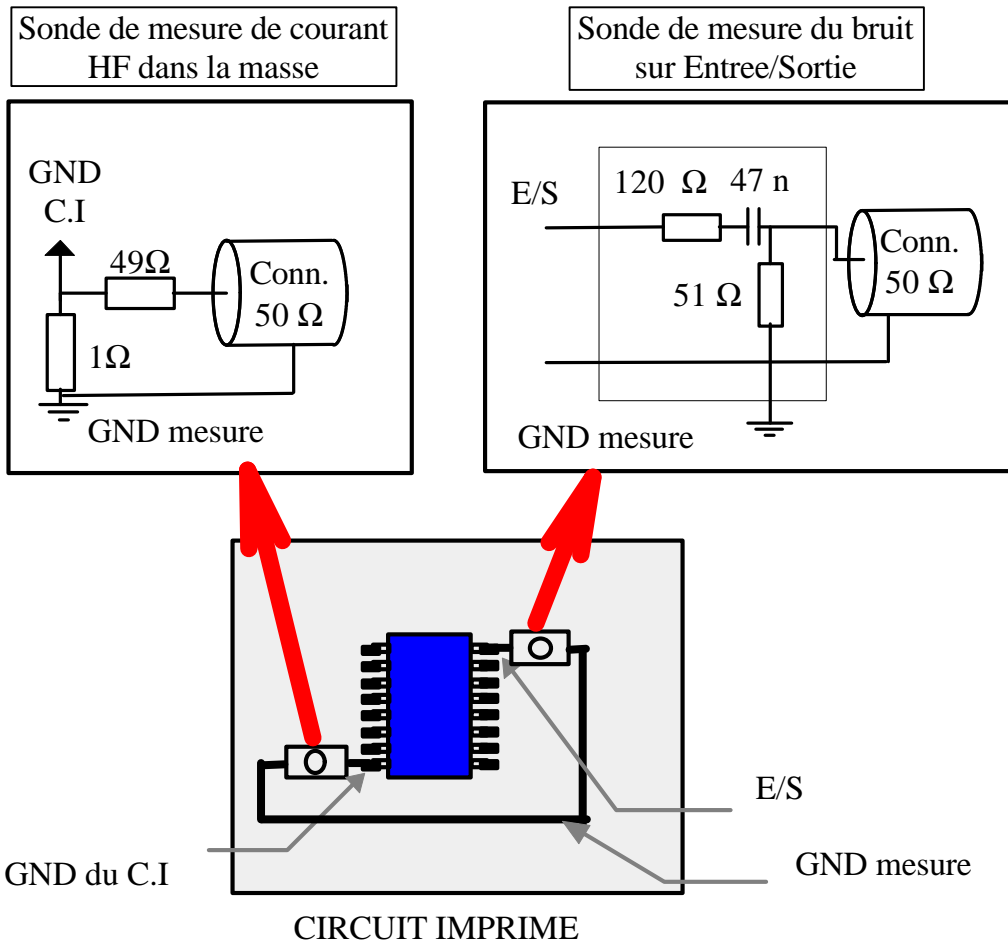


Fig 95 : dispositif de mesure des perturbations électromagnétiques sur les masses et sur les entrées/sorties.

Par ailleurs les sondes sont adaptées pour être utilisables dans le système de mesure 50Ω. Cette méthode permet de mesurer avec précision la contribution de chaque broche du circuit. Cependant, en raison du nombre de mesures à réaliser sur un circuit complexe, elle est très longue à mettre en œuvre.

### 10.3.1 Mini-pinces de mesures

Elle reprend le principe des mesures de perturbations conduites appliquées dans le cadre de mesures normatives sur équipement. Elle consiste à insérer, à l'aide d'un cavalier, une petite pince de mesure sur la broche sur laquelle on souhaite faire la mesure (Figure 96).

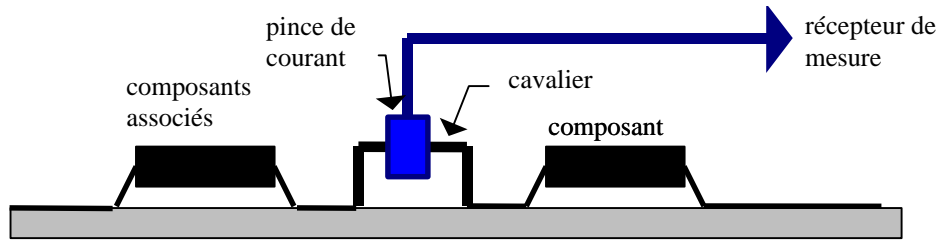


Fig 96 : Principe de mesure par mini pince .

Suivant les performances de la pince elle autorise des mesures entre 25 kHz et 1 GHz.

De faible encombrement (Figure 97), l'installation des mini pinces peut se prévoir facilement sur une carte de test, cette méthode pourrait constituer une alternative aux mesures de type VDE.

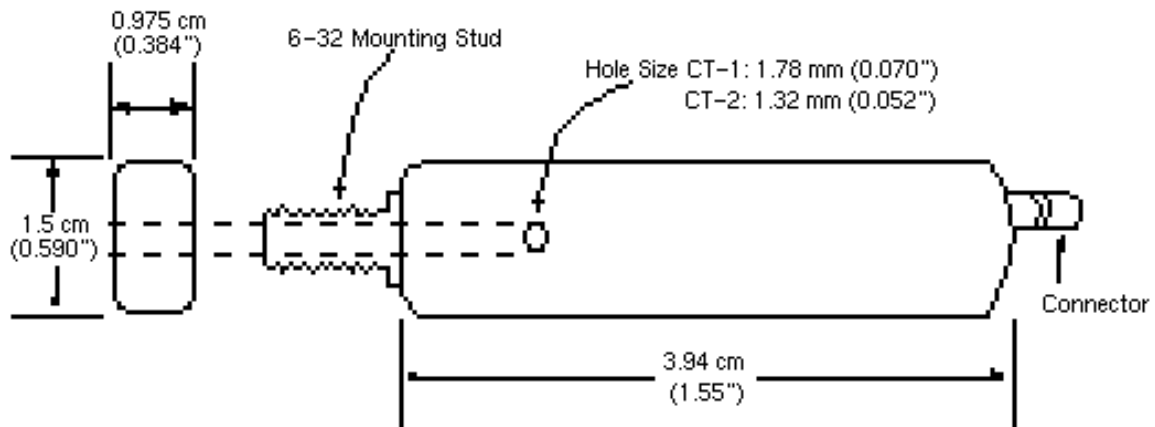


Fig 97 : exemple de mini pince (Tektronix CT-1).

### 10.3.2 WBFC

Le dispositif présenté au paragraphe 10.1.5 permet aussi de faire des mesures de perturbations en mode commun sur le composant entre 150 kHz et 1 GHz, à condition de remplacer la source de perturbations H.F par un récepteur de mesure. (Figure 98)

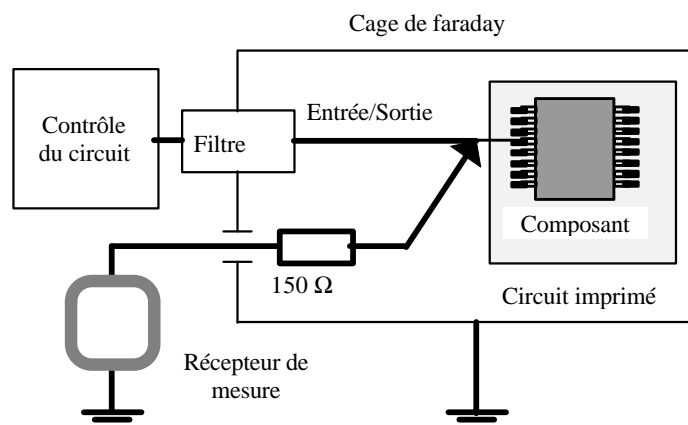


Fig 98 : Mesure de perturbations émises à l'aide du banc WBFC.

## 10.4 Synthèse des méthodes de mesure

METHODES	FREQUENCE 10k 1M 400M 1G 18G 	MISE EN ŒUVRE	NATURE DE L'INFORMATION	COUT(F) *
Injection par pince	—————	Pinces Platine de couplage	Locale (broche à broche) par injection sur un fil de 50 cm	10 kF par pincés
Couplage Capacitif	—————	Un coupleur par broche Circuit imprimé avec connectique 50Ω	Locale par couplage sur une broche	7 kF par coupleur
Boucle en TEM	—————	Circuit imprimé au format TEM avec filtres passe-parois	Locale par induction sur une boucle de 2 cm x 8 cm	20 kF pour la TEM
WBFC (WorkBench Farady Cage)	—————	petite cage de faraday filtre et coupleur	Locale	

### COMPARAISON DES METHODES EN SUSCEPTIBILITE

METHODES	FREQUENCE 10k 1M 400M 1G 18G 	MISE EN ŒUVRE	NATURE DE L'INFORMATION	COUT(F)
TEM	—————	Circuit imprimé au format TEM	Globale rayonnée proche	20 kF pour la TEM
Boucle magnétique	—————	Circuit imprimé identique TEM	Globale rayonnée proche	10 kF pour la sonde
Mesure de perturbations conduites	—————	circuit imprimé avec coupleurs 150 Ω et 1 Ω intégrés	Locale conduite différentielle	
WBFC (WorkBench Farady Cage)	—————	petite cage de faraday filtre et coupleur	Locale conduite de mode commun	
Mini pince	—————	circuit imprimé avec cavalier	Locale conduite	20 kF pour la mini pince

### COMPARAISON DES METHODES EN EMISSION



## 11 Normes, marquage CE

Tout système électronique grand public, doit satisfaire à la norme 89/336. En fait il s'agit d'un ensemble de normes dont une copie du journal officiel est donnée en annexe.

Quelques grands organismes européens de normalisation sont :

- CENELEC : Comité Européen de Normalisation Electrotechnique,
- CEN, Comité Européen de Normalisation,
- DRIRE,
- ETSI, Institut Européen de normalisation des Télécommunications

Un constructeur peut donc faire appel à ces différents organismes et laboratoires de mesure associés afin de vérifier la conformité de son appareil avec les normes concernées.

Il peut aussi, effectuer lui même les tests de validation et s'auto-proclamer conforme avec les normes. Il s'expose dans ce cas à un contrôle de la part des organismes d'état.

Un produit conforme avec la norme, se verra apposé le marquage CE (Figure 99)



Fig 99 : Marquage CE.

## **12 BIBLIOGRAPHIE**

### Exemples d'ouvrages :

"Arcadia", Epic Design Technology, modélisation des résistances et capacités parasites à partir d'un dessin physique d'un circuit intégré, Décembre 1995.

B COURTOIS, "CAD and Testing of ICs and systems. Where are we going?", Updated version September 1994, INP Grenoble.

Electronique International Hebdo, 20 Avril 1995, N° 178.

Electronique International Hebdo, 13 Août 1995, N° 191.

Electronique International, p25, 9 Novembre 1995, N° 200.

Electronique International, p25, 9 Novembre 1995, N° 200.

H.B BAKOGLU, "Circuits, Interconnexions and Packaging for VLSI", Addison-Wesley, 1990.

Brian C. WADELL, "*Transmission Line Design Handbook*", Artech House, Inc. 1991, p446.

Georges COMTE, "Lignes de télécommunications", Manuel E7 320, Ecole Supérieure d'Electricité de Lyon.

Ghourri DHATT and Gilbert TOUZOT, Une présentation de la méthode des éléments finis (1989).

D. ESTEVE, "Les Micro systèmes", rapport annuel , LAAS CNRS Toulouse, 1995.

DP SERAPHIN, R LASKY, CY LI, "Principles of Electronic Packaging", Mc Graw-Hill, 1989.

### Exemples de publications scientifiques :

TH. CHEN, "Evaluation of line loss under load unbalance using the complex unbalance factor", IEE Proc Transm. Distrib., vol 142, No 2, pp 173-178 March 1995.

R.P. Clayton and A.E. Feather, Computation of the Transmission Line Inductance and Capacitance Matrices from the Generalized Capacitance Matrix, IEEE Transactions on Electromagnetic Compatibility, Vol EMC 18, n°4, November 1976.

Clayton R. PAUL , "Adequacy of low-frequency crosstalk prediction models", IEEE 1982.

G.I. COSTACHE and R.L.KHAN : Finite Element Method Applied to Modeling Crosstalk Problems on Printed Circuit Boards, IEEE Transactions on Electromagnetic Compatibility Vol 31,n°1, February 1989.

J.Y FOURNIOLS, E. SICARD, "Analytical crosstalk analysis in micro-electronic systems", IEEE Transactions on EMC.

G. COSTACHE, R. LAWRENCE, "Finite Element Method Applied to Modeling Crosstalk Problems on Printed Circuit Boards", IEEE Transactions on EMC, Vol 31, No1, Feb 1989.

A. LIAUD, J.Y FOURNIOLS, E. SICARD; "On crosstalk fault detection in Hierarchical VLSI circuits", IEEE Asian Test Symposium, JAPAN NARA, November 1994.

RC FRYE, "Physical scaling and Interconnection delays in Multi-Chip Modules", IEEE Transactions on Components, Packaging and Manufacturing technology Part B: Advanced Packaging, vol 17, N°1, February 1994.

A RUBIO, N ITAZAKI, K KINOSHITA, "An approach to the analysis and detection of crosstalk faults in digital VLSI Circuits", IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol 13, N°3, March 1994.

HT YAN, YT LIN, SY CHIANG, "Properties of interconnection on Silicon, Sapphire, and semi insulating gallium arsenide substrates", IEEE Journal of Solid State Circuits, vol 17, N°2, April 1982.

## **13 GLOSSAIRE**

### **ASIC**

Application Specific Integrated Circuit.

### **BONDING**

Interconnexion par fil d'or permettant de relier le circuit intégré à son support (boîtier d'encapsulation ou multi-chip module).

### **CAO**

Conception Assistée par Ordinateur.

### **CEM**

Compatibilité Electro-Magnétique.

### **CMOS**

Complementary Métal Oxyde Semiconducteur.

### **DESIGN**

Dessin de circuit intégré.

### **EMC**

ElectroMagnetic Compatibility. CEM en français.

### **FEM**

Finite Element Method. (Méthode des Eléments Finis)

### **IC**

Integrated Circuit. Circuit intégré.

### **LAYOUT**

Fichier descriptif d'un circuit micro-électronique décrivant les différentes couches d'un circuit intégré.

### **LAYER**

Couche technologique du process de fabrication.

### **MCM**

Multi-Chip Modules. Modules multi puces.

### **MOM**

Method of Moments (Méthode des Moments).

### **NETLIST**

Fichier décrivant la topologie électrique d'un circuit.

### **PACKAGE**

Boîtier permettant l'encapsulation des circuits intégrés.

### **PCB**

Printed Circuit Board. Carte de circuit imprimé.

### **PUL**

Per Unit Length. Unité des paramètres primaires d'une ligne de transmission en modèle localisé exprimée par unité de longueur.

### **SOG**

Sea-of-Gates (Technologie Mer de portes).

### **TEM**

Transverse Equivalent Mode : fréquences de fonctionnement pour lesquelles la composante longitudinale des champs électrique E et magnétique H sont négligeables. Le mode de propagation de l'onde le long de l'interconnexion est quasi-transverse, (approximation T.E.M).

### **ULSI**

Ultra Large Scale Integration. Technologie de conception des puces micro-électroniques dont la densité d'intégration dépasse  $10^6$  transistors par puce.

Extrait du Journal Officiel  
*Norme 89/336/CEE*