

**Patrice DELPY** - 38 ans.  
40 rue Cuvier, 31100 Toulouse.  
Tél: 05.61.40.93.27 / 06.25.77.52.56  
E-mail: [patrice.delpy@neuf.fr](mailto:patrice.delpy@neuf.fr)

## **INGENIEUR EN ELECTRONIQUE**

### **Concepteur layout analogique full custom : 8.5 ans d'expérience**

### **Parcours Professionnelle**

Layout leader, responsabilités techniques, gestion des ressources  
Assemblage de la Top cell : Floorplanning, placement – routage et vérifications DRC & LVS.  
Réalisation de blocs analogiques mixtes et IPs : ADC / LDO / SMPS / Bias / Vref / CAN / Oscillateur.  
Garant de la qualité de la réalisation physique – sensibilisé à la robustesse et aux problèmes de fiabilité.  
Maîtrise des règles liées au milieu du semi-conducteur : matching, contraintes technologiques, mécaniques, thermiques.  
Intégration des stratégies de protection ESD, isolation, blindage, recherches des éléments parasites.  
Création de circuits aux dimensions submicroniques le plus performant – haut degrés d'intégration.  
Définition des méthodologies, planification au sein d'une équipe, interface avec l'équipe Design.  
Bonnes connaissances des procédés micro électroniques, de la physique des composants et des fonctions analogiques.  
Qualification pour travailler sur des technologies BiCMOS, faible et fort courant de 1.5V à 65V.

- Depuis Sept 2008 **Consultant backend : ON SEMICONDUCTOR**  
(11 mois) Réalisation d'une puce audio (ampli Headset) et d'un circuit de Power Management (Buck /Boost).  
Développement de super Pcell ESD et écriture de macros Skill.
- Jan 2007/Sept 2008 **Consultant backend : FREESCALE / MOTOROLA** (travail en équipe multisite)  
Jan 2000/Nov 2005 Conception d'ASICs automobile complexe (20 à 55 mm<sup>2</sup>) de type Smartpower: ESP, ABS, Airbag.  
(7 ans et 6 mois) Debug de design kit en cours de qualification, test case – Développement de procédures SKILL.  
Réalisation de blocs dans des circuits de Power Management (téléphonie) et Power-over Ethernet.  
Mise en place d'une trame Metrix mesurant l'avancement d'un projet ainsi que l'impact du Re-use.
- Nov 2005 & 2006 **Ingénieur Test: Groupe Automotive - FREESCALE**  
(14 mois) Mise en place d'un plan Zéro Défaut. Action visant à la réduction des coûts (temps de test): redondance,  
optimisation des algorithmes.  
Développement des configurations de test, mise au point sur testeur, mesure et caractérisation.  
Analyse des données Cp/Cpk, R&R, Gage, étude de la défektivité: Utilisation d'outils statistiques dédiés.  
Amélioration des packages de tests (stabilité, couverture de test) au test final et au probe.
- 1999 **Superviseur des moyens d'émission terrestres - TV et radios. TDF**  
(1an) Télésurveillance, diagnostique des pannes, gestions des interventions.  
Planification des moyens techniques, des opérations de maintenance (curatives et préventives).  
Ordonnancement des équipes. Rétablissement de service et suivie d'indigent avec le client.
- 1998 **Technicien R&D - CAO Electronique (PCB) : STUDELEC**  
(1 an) Conception de carte pour EADS, projet Pluton de Siemens, alimentation à découpage, banc de test pour Alcatel.

### **Formation**

2005 : Diplôme d'ingénieur en Électronique (INPT / CNAM Toulouse).  
1993 : BTS Électronique (Lycée Louis Rascol - Albi).

### **Compétences techniques**

Outils CAO: Cadence Design Systems : Calibre , Assura , Diva, VCR, Chip Floorplanner, Spectre, Pspice.  
Langages et logiciels : SKILL, VHDL, C , Visual Basic, Perl, Tcl, Cadence Allegro, Matlab, linux/Unix.  
Systèmes des tests: Testeur Teradyne, LTX, MiST, Prober Electroglas, Handler Delta Desgin.  
FPGA / Microcontrôleurs : Xilinx ISE Suite, Intel/Motorola, Environnement Metrowerks, ImageCraft. Emulateur Axiom.

### **Divers**

Langues : Anglais : Usuel et Technique (lu, écrit et parlé).  
Loisirs : Astronomie, programmation informatique, domotique, tir sportif.