

Patrice DELPY - 52 ans.
55 Chemin du Chapitre, Appt 2B
31100 Toulouse.
Tél: 09.51.74.74.20 / 06.35.29.15.73
E-mail: patrice.delpy@outlook.fr

INGENIEUR EN ELECTRONIQUE

Concepteur layout analogique full custom : 22 ans d'expérience

Compétences professionnelles

- Layout leader sur des produits dédiés au power management automobile et wireless (jusqu' à 70V).
- Conception de blocs, IPs et Topcells selon 3 approches ; forte intégration, exigences qualités et vision re-use.
- Bonnes connaissances des procédés submicroniques, physique du composants et architectures analogiques.
- Mener une étude de faisabilité incluant les contraintes pour estimer la surface, valider le coût, bâtir un calendrier.
- Gérer et s'engager sur un planning pour tenir les délais : charge de travail, retard imprévu, changement du design.
- Apprécie le travail en équipe très stimulant pour trouver les meilleurs compromis coût/surface/performance.
- Organiser et analytique, j'apporte des solutions adaptées à un problème et sais proposer des améliorations.
- Réalise l'extraction des parasites (RC, couplage) et analyse des résultats à des fins d'optimisation du layout.
- Définition des méthodologies, présenter mon travail, organise les revues, communiqué sur l'avancement.
- Capacité à progresser, accroître l'efficacité et l'automatisation du mes layouts : script SKILL, support CAD.

Parcours professionnel

Depuis 09/2008

Physical design Engineer : ON SEMICONDUCTOR

Lead et contributeur sur des circuits: AMOLED Driver, SBC, IC audio, PMIC, LED driver, DCDC.
Activité de floorplanning de la topcell grâce au floorplanner: assemblage, power tree, routage.
Assurer l'interface entre les différentes équipes : design, application, packaging, test.
Référant dans l'analyse des étages de puissances des DCDC (Magwel PTM & R3D).
Utilisation du constraints manager intégré dans Cadence car « Constraints driven layout ».
Activité en Design Digital: codage en Verilog, validation, synthèse, P&R, STA et CTS.

01/2007 – 09/2008

Consultant backend : FREESCALE / MOTOROLA

Layout lead d'une puce companion multi-système MSC2 (21mm²).
Intervenant sur la famille de produit E-switch (double die), réalisation du circuit de commande et de la partie puissance fort courant (HDTMOS).
IP leader : Bus LIN (définition du nouveau standard).

11/2005 – 11/2006

Stage fin d'étude cursus Ingénieur : Groupe Test : FREESCALE

Mémoire portant sur l'optimisation du test des circuits intégrés dédiés à automobile.
Action visant à la réduction du temps de test: partage des ressources en mode multi site.

04/2000 - 09/2005

Consultant backend : FREESCALE / MOTOROLA

Conception d'ASICs automobile complexe (20 à 55 mm²) : ESP, ABS, Airbag.
Analyse du schéma, respects des contraintes, placement, routage et vérifications DRC & LVS.
Réalisation de blocs : ADC, LDO, PLL, BG, BIAS, OSC, et gestion de topcell.
Maîtrise des contraintes liées au semi-conducteur: Appariement, LUT, ESD, Isolation, DFM.

Formation

2005 : Diplôme d'ingénieur en Électronique (CNAM Toulouse).
1997 : IUT Paul Sabatier – Ingénierie des systèmes électroniques – durée 3 mois
1993 : BTS Électronique (Albi).

Compétences techniques

Outils CAO: Virtuoso, Calibre , EAD, Voltus FI, Constrains Manager, Floorplanner, Explorer, Innovus,
Langages et logiciels : SKILL, JAVA, Python, C , Verilog, linux, Suite Office.
FPGA / Microcontrôleurs : Xilinx ISE Suite, Emulateur Axiom.

Divers

Langues : Anglais : Usuel et Technique (lu, écrit et parlé).
Loisirs : Développement de logiciels, domotique (ARM & Raspberry).