

# **CONCEPTION ET OPTIMISATION D'UN AMPLIFICATEUR OPERATIONNEL RAIL TO RAIL CMOS FAIBLE TENSION FAIBLE CONSOMMATION**

**M. Loulou, S. Ait Ali, N. Masmoudi et L. Kamoun.**

Laboratoire d'Electronique et des Technologies de l'Information LETI  
Ecole Nationale d'Ingénieurs de Sfax, Tunisie.

B.P. W 3038 Sfax, Tunisie.

Tél: 216 74 27 40 88 Fax : 216 74 27 55 95

Email : Mourad.loulou@enis.rnu.tn

# CONCEPTION ET OPTIMISATION D'UN AMPLIFICATEUR OPERATIONNEL RAIL TO RAIL CMOS FAIBLE TENSION FAIBLE CONSOMMATION

**M. Loulou, S. Ait Ali, N. Masmoudi et L. Kamoun.**

Laboratoire d'Electronique et des Technologies de l'Information LETI  
Ecole Nationale d'Ingénieurs de Sfax, Tunisie.  
B.P. W 3038 Sfax, Tunisie.  
Tél: 216 74 27 40 88 Fax : 216 74 27 55 95

Email : Mourad.loulou@enis.rnu.tn

## RÉSUMÉ

*Cet article porte sur la conception et l'optimisation de la conception d'un amplificateur opérationnel "AOP" CMOS rail to rail faible tension et faible puissance. Les techniques conventionnelles pour réaliser un étage d'entrée différentielle complémentaire exigent des circuits complexes supplémentaires. On propose dans ce papier une technique de conception économique et efficace pour surmonter ce problème. La technique proposée repose sur un chevauchement des régions de transition des courants de polarisation des deux types de paires différentielles à canal N et à canal P, afin d'avoir une transconductance constante. Parallèlement, une nouvelle méthodologie d'aide à la conception est présentée pour permettre l'optimisation et le dimensionnement de l'AOP. Les résultats de simulations, faites avec le simulateur SPICE employant le modèle BSIM3V3 de la technologie CMOS 0.35 $\mu$ m, démontrent que la variation  $g_m$  peut être limitée à  $\pm 6.5\%$  et avec seulement  $\pm 0.75V$  comme tensions d'alimentation. Cet AOP a un gain en DC de 113dB, un produit gain bande passante de 7.6MHz, avec une marge de phase de 67° et un Slew rate de 7.8V/ $\mu$ s.*

**Mots-clés :** Circuits Intégrés CMOS, AOP "rail to rail", Optimisation, Méthodologie de Conception, Circuit Racine Carrée.

## ABSTRACT

*This paper deals with design and optimization of low power low voltage CMOS rail to rail Operational Amplifier "OpAmp". Conventional techniques to built differential complementary CMOS stage need complexes secondary circuits. In this paper we propose to use an efficient method to overcome this problem. The proposed method overlap the bias current transition domain of both PMOS and NMOS differential stages. This is in order to achieve full scale constant transconductance. In parallel a new methodology is proposed to design, optimize and size the OpAmp. Simulations are performed using SPICE software and BSIM3V3 model for CMOS 0.35 $\mu$ m process, show a fine OpAmp transconductance value limited to  $\pm 6.5\%$  under only  $\pm 0.75V$  power supply. The designed OpAmp has 113dB DC gain, 7.6MHz gain bandwidth product, with 67° phase margin and 7.8V/ $\mu$ s of slew rate.*

## INTRODUCTION

Dans un monde guidé par les développements technologiques rapides, la tendance actuelle est la miniaturisation des circuits électroniques existants. Il en est de même pour les applications nécessitant l'utilisation d'amplificateurs opérationnels dans les circuits intégrés.

Le principal objectif du présent travail est de développer une approche pour concevoir et optimiser des amplificateurs opérationnels en technologie CMOS, afin de concevoir un amplificateur ayant la plus grande étendue dynamique.

L'automatisation de la conception d'un AOP est devenue aussi une nécessité pour le concepteur, afin de réduire le temps de conception, particulièrement dans le cas des circuits standards tels que l'amplificateur opérationnel. Ce dernier est généralement employé dans des circuits de filtrage, de conversion AN et NA et d'autres fonctions de traitement analogique du signal. Ce sujet a été traité par plusieurs concepteurs, les solutions proposées varient dans leur complexité entre l'emploi de méthodes mathématiques complexes comme la programmation géométrique, et le calcul manuel (Hershenson, 1998 ; Chen, 1999 ; Loulou, 2002). Dans tous les cas, quelle que soit la méthode employée, elle a toujours besoin d'un certain raffinement par le concepteur pendant la phase de simulation. En effet, la différence entre la prédiction théorique et les résultats de simulation est principalement causée par l'erreur induite par les approximations du modèle simplifié employé dans la procédure de calcul. Bien sûr, la compétence du concepteur est nécessaire pour que les résultats finaux s'accordent au maximum avec les spécifications projetées.

Dans cet article, on va étudier une nouvelle génération d'AOP CMOS dite "Rail to Rail", dont le principe s'aligne avec les tendances actuelles en terme de conception des circuits analogiques à savoir la conception de circuits à faible tension d'alimentation et faible consommation (Hogervorst, 1992 ; Botma, 1993 ; Huijsing, 1995 ; Hwang, 1997).

## PRINCIPE DE L'AOP RAIL TO RAIL

L'étage d'entrée d'un AOP est souvent constitué d'une seule paire différentielle de type-N ou de type-P (Jacob Baker, 1998). Mais, dans le cas d'une structure Rail to Rail, on met en jeu deux paires différentielles complémentaires, une paire différentielle de type-N et une autre de type-P comme montré sur les figures 1 et 2.

Une paire différentielle fonctionne avec des tensions d'entrée mode commun positives et négatives différentes. En effet cette dissymétrie est dû principalement à une dégradation de la transconductance  $g_m$  de la paire différentielle dans un sens ou un autre selon le type de l'étage. Cette dégradation est causée par la diminution de la tension de polarisation grille-source des transistors de la paire différentielle qui à la limite peut entraîner leur blocage. Ceci correspond respectivement à une diminution de la tension mode commun dans le cas de la paire différentielle de type- N et une augmentation de cette tension dans le cas d'une paire différentielle de type-P. Donc pour avoir une étendue dynamique la plus proche des lignes d'alimentation; Rail to Rail, on peut combiner les deux paires en les connectant en parallèle.

La figure 3 illustre le schéma de principe d'une structure Rail to Rail simple. Elle est constituée d'un étage différentiel complémentaire, un circuit de sommation et un étage de gain source commune. Cette structure va donc sommer les deux transconductances de chacune des deux paires différentielles, comme il est montré sur la figure 3.

Afin de simplifier le calcul pour la suite de la conception, on va prendre les transconductances des deux paires différentielles égales. Cette hypothèse n'est vrai que dans les cas suivants :

$$\frac{I}{2} \mu_N C_{ox} \left( \frac{W}{L} \right)_N = \frac{I}{2} \mu_P C_{ox} \left( \frac{W}{L} \right)_P = K \quad (1)$$

Où  $\mu_N$  et  $\mu_P$  sont respectivement les mobilités des électrons et des trous,  $C_{ox}$  est la capacité d'oxyde par unité de surface et  $W$  et  $L$  sont la largeur et la longueur du canal du transistor MOS.

Et

$$I_N = I_P = I_{pol} \quad (2)$$

Alors

$$g_{mN} = g_{mP} = g_m = \sqrt{2KI_{pol}} \quad (3)$$

où  $g_m$  est la transconductance des transistors formant l'étage différentiel.

La caractéristique de la transconductance en fonction de la tension mode commun tel qu'elle est représentée sur la figure 4 est subdivisée en trois régions de fonctionnement :

Région 1 : la tension mode commun  $V_{imc}$  proche de  $V_{SS}$  donc la paire-N ( $M_3$ - $M_4$ ) est bloquée car sa tension grille-source est inférieure à sa tension seuil.

Par contre la paire-P ( $M_1$ - $M_2$ ) est conductrice. Dans ce cas la transconductance totale de l'étage complémentaire  $g_{mT}$  est:

$$g_{mT} = g_{mP} = g_m \quad (4)$$

Région 2 :  $V_{inc}$  est au milieu, alors les deux paires fonctionnent. Et la transconductance totale devient :

$$g_{mT} = g_{mP} + g_{mN} = 2g_m \quad (5)$$

Région 3 :  $V_{inc}$  proche de  $V_{DD}$  donc la paire à canal P ( $M_1$ - $M_2$ ) est bloquée et la paire à canal N est conductrice. On aura dans ce cas :

$$g_{mT} = g_{mN} = g_m \quad (6)$$

D'après ces trois régions de fonctionnement, la transconductance totale de l'étage d'entrée varie entre  $g_m$  et  $2g_m$ , d'où une variation de 100%. Ceci constitue un défaut qui peut générer plusieurs anomalies sur le fonctionnement de la structure. Et pour faire face à ce défaut, on a intérêt à réduire au maximum cette variation, c.à.d rendre la transconductance constante. Cette propriété permet d'avoir une compensation en fréquence très robuste; en effet la capacité de compensation est directement dépendante de la transconductance de la paire différentielle comme le montre la relation (14). Ainsi la variation de la transconductance conduira à une variation de la fréquence de gain unitaire de l'AOP. Cependant, la marge de phase varie en même temps, ce qui conduit à des problèmes d'instabilité. Elle permet aussi la minimisation de la consommation, car la transconductance est à son maximum. Alors la puissance consommée est augmentée ; et elle conduit aussi à une amélioration de la linéarité de l'amplificateur en offrant un gain indépendant du niveau de la tension mode commun, d'où une minimisation de la distorsion harmonique.

Dans ce qui suit nous traitons les solutions proposées pour rendre la transconductance totale de l'AOP constante.

## LES TECHNIQUES DE STABILISATION DE LA TRANSCONDUCTANCE

Plusieurs techniques ont été proposées dans la littérature pour faire face à la non stabilisation de la transconductance de l'étage différentiel, les premières solutions utilisent un circuit complémentaire de courant pour garder la somme de  $I_N$  et  $I_P$  constante (Jacob Baker, 1998 ; Wu, 1994 ; Huijsing, 1995); une deuxième technique propose l'utilisation d'un circuit de polarisation en racine carrée pour garder la somme  $(\sqrt{I_P} + \sqrt{I_N})$  constante, (Hogervost, 1992; Sakurai, 1996; Botma, 1993). Une autre technique utilise les

commutateurs de courant pour changer  $I_{pol}$  de la paire différentielle (Hogervost, 1992, 1994, 1995; Huijsing, 1995).

W. Redman-White a utilisé la structure "hex-pair" pour commander les courants de polarisation des paires différentielles (Redman-White, 1997). C. Hwang et *al.* ont utilisé un circuit de sélection max /min pour conduire un fort courant à la sortie de la paire différentielle (Hwang, 1995, 1997). D'autres techniques utilisent une diode Zener électronique pour garder la somme des tensions de grille des paires différentielles ( $V_{gsN} + V_{gsP}$ ) constante (Hogervost, 1996) ou un circuit décalage de niveau continu "Shift DC Level" pour changer le niveau continu de l'entrée (Wang, 1999).

Dans notre conception nous avons choisi la technique utilisant un circuit en racine carrée, cette technique présente les meilleures solutions de stabilisation de la transconductance dont la variation ne dépasse pas  $\pm 10\%$ .

### CIRCUIT DE POLARISATION RACINE CARRÉE

La technique de polarisation racine carrée consiste à garder la somme  $(\sqrt{I_P} + \sqrt{I_N})$  constante. L'idée de base vient du fait que la transconductance totale de l'AOP est proportionnelle à la somme  $(\sqrt{I_P} + \sqrt{I_N})$ .

On peut utiliser la caractéristique de la loi quadratique des transistors MOS pour mettre en œuvre le circuit de polarisation racine carrée. Le schéma de la figure 5 met en œuvre l'étage d'entrée avec le circuit de polarisation racine carrée (Hogervost, 1992 ; Sakurai, 1996 ; Botma, 1993).

L'analyse du schéma de la figure 5 et précisément le circuit de polarisation racine carrée, donne :

$$V_{SG,123} + V_{SG,125} = V_{SG,121} + V_{SG,124} = \text{constante} \quad (7)$$

Par conséquent :

$$\sqrt{I_P} + \sqrt{I_N} = \text{constante} \quad (8)$$

Le circuit est relativement complexe et sa fonctionnalité repose sur la loi quadratique du courant de drain du transistor MOS. Dans le cas d'une technologie sub-micronique ( $L_{min} < 1\mu m$ ), cette loi n'est pas valable et l'expression de la transconductance totale peut présenter des erreurs non négligeables.

La figure 6 montre le schéma block d'un AOP à deux étages. La transconductance du premier étage est symbolisée par  $g_{md}$  et la transconductance du deuxième étage est symbolisée par  $g_{m5}$ .

Avec :

$$g_{md} = g_{mn} + g_{mp} \quad (9)$$

$$g_{od} = \left( g_{m24} r_{024}^2 // g_{m22} r_{022}^2 \right) \quad (10)$$

$$g_{oo} = g_{o5} + g_{o6} \quad (11)$$

$g_{mn}$  et  $g_{mp}$  sont respectivement les transconductances de la paire différentielle de type N et de type P.  $g_{od}$  et  $g_{oo}$  sont respectivement les conductances de la paire "rail to rail" et de l'étage de gain.  $g_{m24}$  et  $g_{m22}$  sont respectivement les transconductances des transistors  $M_{24}$  et  $M_{22}$ .

L'expression simplifiée du gain du modèle petits signaux de l'AOP est donnée par l'expression (12) :

$$A(p) = \frac{g_{md}(g_{m5} - pC_c)}{p^2 C_L C_c + p g_{m5} C_c + g_{oo} g_{od}} \quad (12)$$

Où  $C_c$  et  $C_L$  sont respectivement les capacités de compensation et de charge. Le produit gain-bande passante du circuit est donnée par l'expression (13) :

$$GB \cong \frac{g_{md}}{2\beta C_c} \quad (13)$$

Et la capacité de compensation s'exprime comme suit :

$$C_c \cong \frac{C_L}{Q_2} \hat{a} \frac{g_{md} g_{m5}}{(g_{m5} - \hat{a} g_{md})^2} \quad (14)$$

Avec  $\beta$  le gain de la contre-réaction quand l'AOP est monté en boucle fermé. L'étendue dynamique d'entrée en mode commun et la dynamique de sortie sont définies par les expressions (15-20) calculées en fonction de la tension de saturation des transistors mis en jeu au niveau des paires différentielles de type N et P et de l'étage de gain (Baker, 1998) :

$$V_{i\min-N} = V_{gs3} + V_{lb6} + V_{ss} \quad (15)$$

$$V_{i\max-N} = V_{dd} + V_{lb3} + V_{TN} \quad (16)$$

$$V_{i\min-P} = V_1 + V_{lb2} + V_{TP} + V_{dd} \quad (17)$$

$$V_{i\max-P} = V_{211} + V_{TP} + V_{ss} \quad (18)$$

$$V_{o\max} = V_{dd} + V_{gs5} + V_{T5} \quad (19)$$

$$V_{o\min} = V_{gs6} - V_{T6} + V_{SS} \quad (20)$$

$V_{lb2}$ ,  $V_{lb3}$  et  $V_{lb6}$  sont les tensions de saturation des sources de courant  $I_{b2}$ ,  $I_{b3}$  et  $I_{b6}$ .  $V_k$  et  $V_{gsk}$  sont respectivement la tension de saturation et la tension grille-source du transistor  $M_k$ .  $V_{TN}$  et  $V_{TP}$  sont respectivement les tensions seuil des transistors NMOS et PMOS.  $V_{DD}$  et  $V_{SS}$  sont les deux lignes d'alimentation.

## OPTIMISATION DE LA CONCEPTION

La phase la plus délicate dans la procédure de conception d'un circuit intégré d'une façon générale et en particulier CMOS, est le dimensionnement des transistors mis en jeu dans le circuit. Cette étape conditionne les performances du circuit. De plus les transistors MOS intégrés donnent au concepteur plus de souplesse dans leur dimensionnement, cette souplesse se caractérise par la dépendance des paramètres caractéristiques du transistor de

ses dimensions. En revanche ceci complique la tâche du concepteur qui cherche à obtenir les meilleures performances pour son circuit et part à la recherche des dimensions optimales qui permettent d'optimiser le fonctionnement sur tout les aspects : caractéristiques dynamiques et statiques, tension d'alimentation, consommation de puissance, surface occupée, immunité au bruit etc. Le problème d'optimisation et d'automatisation de la conception des AOP a été traité dans la littérature, les solutions proposées varient dans leur complexités ; Chen et *al.* ont proposé une méthode de calcul manuel, celle-ci permet le dimensionnement de l'AOP sans atteindre un fonctionnement optimal (Chen, 1999). Hershenson et al. Ont développé un outil de conception des AOP se basant sur la programmation géométrique (Hershenson, 1998), dans ce qui suit nous proposons une approche simple qui permet d'aboutir à un dimensionnement optimal se basant sur la minimisation des fonctions objectives (Loulou, 2002).

### FORMULATION DE L'ALGORITHME D'OPTIMISATION

La formulation du problème d'optimisation dépend du fonctionnement exigé et de l'application. Généralement quelques paramètres comme la puissance consommée sont imposés et doivent être fixés pendant la conception. Le dimensionnement des transistors est classiquement déduit après la détermination de la tension de saturation drain-source notée par  $V_i$  pour le transistor  $M_i$ . Cette stratégie nous mène à exprimer les paramètres de l'AOP comme suit :

Le courant de polarisation est donné par l'expression (21) ceci suppose que la puissance totale  $P$  consommée par l'AOP est déterminée par le cahier des charges.

$$I_b = \frac{P}{(V_{dd} - V_{ss})(g + m + 5)} \quad (21)$$

Où  $m$  est le facteur de modulation du courant de polarisation entre l'étage différentiel et l'étage de gain.

$g$  est le facteur de modulation du courant de polarisation entre l'étage différentiel et l'étage de polarisation de la charge racine carrée.

$a$  est le facteur de modulation du courant de polarisation entre l'étage différentiel et l'étage de sommation.

Avec :

$$m = \frac{I_5}{I_b} \quad (22)$$

$$g = \frac{I_{réf}}{I_b} \quad (23)$$

$$a = \frac{I_{212}}{I_b} \quad (24)$$

En se basant sur les paramètres du schéma équivalent en dynamique du transistor MOS calculés dans l'approximation du modèle niveau 1, et les remplaçant dans les expressions (12-14) les caractéristiques dynamiques de l'AOP rail to rail sont données par les expressions suivantes :

$$A_o = \frac{4}{\mathbf{a}l^2_n (\mathbf{I}_n + \mathbf{I}_p) V_3 V_5 V_{24}} \quad (25)$$

$$GB = \frac{P}{\mathbf{p}(V_{dd} - V_{ss})(\mathbf{g} + m + 5)V_3 C_c} \quad (26)$$

$$SR = \frac{I_b}{C_c} = \frac{P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)C_c} \quad (27)$$

$$C_c = \frac{2}{Q^2} \frac{C_L m \mathbf{b} V_3 V_5}{(m V_3 - \mathbf{b} V_5)^2} \quad (28)$$

Où  $A_o$  est le gain statique de l'AOP, SR est le Slew Rate de l'AOP,  $\mathbf{g}$  est le facteur de modulation de la longueur du canal du transistor et Q Facteur de résonance de la fonction de transfert de l'AOP en boucle fermée.

Pour assurer la stabilité de l'AOP il faut mettre le facteur Q entre 0.6 et 0.8; la valeur typique est  $1/\sqrt{2}$ , ce qui inclut une marge de phase de  $67^\circ$

Les expressions (25 - 27) montrent que les caractéristiques dynamiques de l'AOP dépendent principalement des tensions de saturation  $V_3$  et  $V_5$  simultanément, par conséquent nous allons fonder notre démarche sur le calcul de ces deux paramètres afin d'optimiser les caractéristiques dynamiques de l'AOP.

Après détermination des tensions de saturation  $V_i$ , les rapports  $W/L_i$  des

différents transistors seront déterminés à partir de l'expression du courant dans le transistor MOS dans la région de saturation. Les courants dans les différents transistors exprimés en fonction de la puissance consommée par l'AOP aboutissent aux expressions suivantes :

$$\left[\frac{W}{L}\right]_{1,2} = \frac{P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5) \mathbf{m}_p C_{ox} V_{1,2}^2} \quad (29)$$

$$\left[\frac{W}{L}\right]_{3,4} = \left(\frac{\mathbf{m}_p C_{ox}}{\mathbf{m}_n C_{ox}}\right) \left[\frac{W}{L}\right]_{1,2} \quad (30)$$

$$\left[\frac{W}{L}\right]_{b2} = \frac{2P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5) \mathbf{m}_p C_{ox} V_{ib2}^2} \quad (31)$$

$$\left[\frac{W}{L}\right]_{24} = \frac{2P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5) \mathbf{m}_n C_{ox} V_{24}^2} \quad (32)$$

$$\left[\frac{W}{L}\right]_{22} = \frac{2P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_p C_{ox} V_{22}^2} \quad (33)$$

$$\left[\frac{W}{L}\right]_6 = \frac{2mP}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_n C_{ox} V_6^2} \quad (34)$$

$$\left[\frac{W}{L}\right]_{lb6} = \frac{2P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_n C_{ox} V_{lb6}^2} \quad (35)$$

$$\left[\frac{W}{L}\right]_{111} = \frac{2P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_n C_{ox} V_{111}^2} \quad (36)$$

$$\left[\frac{W}{L}\right]_{121 \sim 126} = \frac{2\mathbf{g}P}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_p C_{ox} V_{121}^2} \quad (37)$$

$$\left[\frac{W}{L}\right]_{211} = \frac{2aP}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_n C_{ox} V_{211}^2} \quad (38)$$

$$\left[\frac{W}{L}\right]_5 = \frac{2mP}{(V_{dd} - V_{ss})(\mathbf{g} + m + 5)\mathbf{m}_p C_{ox} V_5^2} \quad (39)$$

En remplaçant les tensions grille-source des transistors  $M_3$ ,  $M_5$  et  $M_6$  par la somme de la tension de saturation et de la tension seuil, Les principaux paramètres statiques de l'étendue dynamique d'entrée et de sortie seront donnés par les expressions suivantes:

$$V_{i\min-N} = V_3 + V_{lb6} + V_{TN} + V_{ss} \quad (40)$$

$$V_{i\max-N} = V_{dd} + V_{lb3} + V_{TN} \quad (41)$$

$$V_{i\min-P} = V_1 + V_{lb2} + V_{TP} + V_{dd} \quad (42)$$

$$V_{i\max-P} = V_{211} + V_{TP} + V_{ss} \quad (43)$$

$$V_{o\max} = V_{dd} + V_5 \quad (44)$$

$$V_{o\min} = V_6 + V_{ss} \quad (45)$$

Ces paramètres seront utilisés par la suite, pour la caractérisation finale de l'AOP rail to rail.

## METHODOLOGIE D'OPTIMISATION

La méthodologie proposée est principalement basée sur une optimisation des caractéristiques dynamiques, vers les spécifications suivantes :  $P_{val}$ ,  $A_{DCval}$ ,  $GB_{val}$  et  $SR_{val}$ . Pour cette raison nous définissons trois fonctions d'erreur à minimiser, qui consistent la différence entre l'expression définie des paramètres et leurs valeurs désirées, respectant le cahier de charges. Ces différentes fonctions sont données par les expressions suivantes :

$$\mathbf{e}_{A_{DC}} = |A_o - A_{DC, val}| \quad (46)$$

$$\mathbf{e}_{GB} = |GB - GB_{val}| \quad (47)$$

$$\mathbf{e}_{SR} = |SR - SR_{val}| \quad (48)$$

Par la suite nous définissons une fonction erreur globale qui consiste en une somme pondérée des erreurs précédemment définies. Et ce avec un jeu adéquat de coefficients de pondération  $k_1, k_2$  et  $k_3$  comme suit :

$$\mathbf{e}_{tot} = k_1 \mathbf{e}_{A_{DC}} + k_2 \mathbf{e}_{GB} + k_3 \mathbf{e}_{SR} \quad (49)$$

La figure 7 montre l'allure de la fonction erreur globale en fonction de la puissance consommée et de  $m$ . En analysant cette courbe, nous concluons que pour chaque valeur de la puissance il y a une valeur  $m$  optimale minimisant la fonction erreur. Ainsi pour une valeur fixée de la puissance on obtient une valeur de  $m$  optimale minimisant la fonction erreur, sauf que cette valeur dépend du choix de  $V_3$  et de  $V_5$ .

Supposant que la valeur optimale de  $m$  est déterminée. L'analyse de la fonction erreur globale donne des valeurs optimales pour  $V_3$  et  $V_5$ , et elle admet un minimum absolu comme il est montré sur la figure 8.

Un calcul manuel est donc nécessaire pour définir le point de départ de la procédure d'optimisation. Cela pourrait être fait au départ en fixant une valeur aléatoire de  $m$ . et chaque fois qu'on détermine les valeurs de  $V_3$  et  $V_5$  on adopte les nouvelles valeurs et on revient sur le calcul de  $m$ . On répète cette procédure plusieurs fois jusqu'à l'obtention de la convergence vers un point optimal donnée par une faible variation relative de la valeur de  $m$ .

## SIMULATION ET RESULTATS

L'AOP qu'on cherche à concevoir, doit permettre une minimisation de la tension d'alimentation. Des simulations sont faites pour voir jusqu'à quelle valeur on peut réduire la tension d'alimentation, avec la technologie utilisée, on est arrivé à  $\pm 0.75V$ . Le cahier de charges est donné par le Tableau.1.

Pour suivre la procédure proposée, les calculs donnent des valeurs optimales pour des tensions de saturation des transistors:

$$V_3=0.2V \text{ et } V_5=0.2V. \quad (50)$$

Les autres tensions de saturation sont donnée dans le Tableau 2. Avec un facteur de modulation optimal  $m_{opt}=4.3$ ,

Alors que les paramètres  $\gamma$  et  $\alpha$  sont fixés aux valeurs suivantes :

$$\gamma=0.25 \text{ et } \alpha=2 \quad (51)$$

Les tensions de polarisation sont données dans le Tableau 3.

Afin de vérifier la bonne démarche de notre méthodologie, nous avons commencé par tracer la caractéristique de la transconductance totale en fonction de la tension mode commun, comme il est montré sur la figure 9.

On remarque que la transconductance totale présente une variation relative maximale de 6.5% de sa valeur moyenne. Cette variation est acceptable pour considérer que  $G_{\text{mtot}}$  est presque constante.

La figure 10 représente la caractéristique statique de l'AOP rail to rail conçu. Effectivement cette structure est symétrique concernant sa caractéristique de transfert et qui donne une étendue dynamique limitée par les lignes d'alimentation "rail to rail" en effet cette étendue est **très proche de  $\pm V_{\text{dd}}$  ( $V_{\text{dd}} = -V_{\text{ss}}$ )**.

Afin d'évaluer la robustesse de la méthodologie proposée quant à la conception d'AOP rail to rail, nous avons récapitulé sur le Tableau.4 les caractéristiques dynamiques trouvées par simulation, reporté en même temps avec les spécifications du cahier des charges et les prévisions théoriques. Ces résultats montrent l'efficacité de la méthode pour la conception d'AOP rail to rail sauf pour le gain en DC qui ne peut pas atteindre les 140dB et ceci est certainement du à la limite de la structure et aux limites technologiques.

Le Tableau.4 montre que cette structure présente un gain en DC relativement élevé par rapport aux structures classiques des AOP. Ceci vient de l'augmentation de la transconductance totale de l'AOP suite à l'utilisation d'un étage différentiel complémentaire, et de l'augmentation de la résistance totale vue par étage différentiel améliorée par l'utilisation de l'étage cascode replié.

Le Tableau.5 résume le reste des caractéristiques de l'AOP conçu. On note bien que cette structure présente une faible tension d'offset et une dégradation relative des taux de rejection du mode commun et de l'alimentation CMRR et PSRR.

## CONCLUSION

Dans cet article, on a présenté l'étude d'une nouvelle structure d'amplificateur opérationnel rail to rail à transconductance constante en donnant son principe, ses avantages et sa technique de fonctionnement. On a proposé une nouvelle méthodologie de conception et d'optimisation de circuit intégrés analogique qu'on a appliqué à l'amplificateur opérationnel "rail to rail". Cette méthodologie repose principalement sur la formulation théorique de l'AOP. Le modèle obtenu est implémenter dans un outil mathématique servant pour déterminer les paramètres optimales du circuit assurant les meilleures performances. L'amplificateur conçu est capable de fonctionner avec une tension d'alimentation basse  $\pm 0.75\text{V}$  en fournissant un produit gain bande passante de 7.6MHz, une marge de phase de 67degrés et un Slew Rate de 7.8V/ $\mu\text{s}$ . Le circuit consomme seulement 180 $\mu\text{W}$ . Les performances atteintes ont permis de valider la démarche conception et les choix faites sur la technique de stabilisation de la transconductance et la minimisation de la tension d'alimentation et de la puissance consommée par le circuit.

## REFERENCES

- Baker R. J., Li H. W. and Boyce D. E., 1998, "CMOS circuit design, layout, and simulation," IEEE Press Series on Microelectronic Systems, 1998.
- Botma J. H., Wassenaar R. F., et Wiegerink R. J., 1993, "A low voltage CMOS op amp with a rail-to-rail constant-gm input stage and a class AB rail-to-rail output stage," *IEEE Proc. ISCAS 1993*, vol. 2, pp. 1314-1317, Mai 1993
- Chen Y., Schlarmann M. E. et Geiger R. L., 1999, "An Improved design Formulation for design and Optimization of Operational Amplifiers, 1999," *MWSCAS'99 The 43rd Midwest Symposium on Circuits and Systems*, New Mexico, USA, 8-11 August, 1999.
- Jacob Baker R., Li Harry W. et Boyce David E., 1998, "CMOS Circuit Design, Layout, and Simulation," *IEEE Press Series on Microelectronic Systems*, 1998.
- Hershenson M. D. , Boyd S. P., et Lee T. H., 1998, " GPCAD: a Tool for CMOS Op-amp Synthesis" *ICCAD 1998*, p 296-303.
- Huijsing J. H., Hogervorst R., et De Langen K.J., 1995, "Low-power low-voltage VLSI operational amplifier cells," *IEEE Trans. Circuits and Systems*, vol. 42. no.11, pp. 841-852, Novembre 1995
- Hogervorst R., Wiegerink R. J., P. De Jong A. L., Fonderie J., Wassenaar R. F., et Huijsing J. H., 1992, "CMOS low-voltage operational amplifiers with constant-gm rail-to-rail input stage," *IEEE Proc. ISCAS 1992*, pp. 2876-2879
- Hogervorst R., Tero J. P., Eschauzier R. G. H. et Huijsing J. H., 1994, "A compact power-efficient 3-V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 12, pp. 1505-1513, Decembre 1994
- Hogervorst R., Safai S. M., et Huijsing J. H., 1995, "A programmable 3-V CMOS rail to-rail opamp with gain boosting for driving heavy loads," *IEEE Proc. ISCAS 1995*, pp. 1544-1547.
- Hogervorst R., Tero J. P., et Huijsing J. H., 1996, "Compact CMOS constant-gm rail-to-rail input stage with gm-control by an electronic zener diode," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 1035-1040, Juillet 1996
- Hwang C., Mohamed A., et Ismail M., 1995, "Universal constant-gm input-stage architecture for low-voltage op amps," *IEEE Trans. Circuits and Systems-I*, vol.42. no. 11, pp. 886-895, Novembre 1995
- Hwang C., Motamed A., et Ismail M., 1997, "LV opamp with programmable rail-to-rail constant-gm," *IEEE Proc. ISCAS 1997*, pp. 1988-1959

- Loulou M., Ait Ali S., Fakhfakh M. et Masmoudi N., 2002, "An optimized methodology to design CMOS operational amplifier," *"International Conference on Microelectronics" ICM'02* Liban, Decembre 2002.
- Redman-White W., 1997, "A high bandwidth constant gm, and slew-rate rail-to-rail CMOS input circuit and its application to analog cell for low voltage VLSI systems," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 701-712, Mai 1997
- Sakurai S. et Ismail M., 1996, "Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage," *IEEE Journal of Solid-State Circuits-I*, vol. 31, no. 2, pp. 146-156, Fevrier 1996.
- Wang M., Mayhugh T. L., Embabi S. H. K., et Sánchez-Sinencio E., 1999, "Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition region," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 2, pp. 148-156, Fevrier 1999
- Wu W.-C. S., Helms W. J., Kuhn J. A., et Byrnett B. E., 1994, "Digital-compatible high-performance operational amplifier with rail-to-rail input and output ranges," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 1, pp. 63-66, Janvier 1994

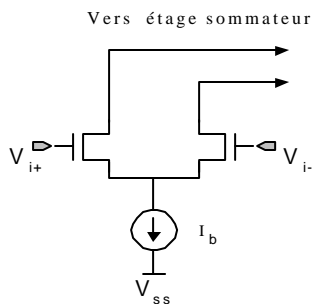


Figure 1. Etage différentiel de type-N

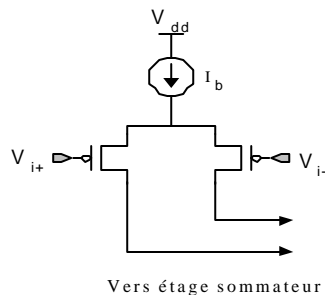


Figure 2. Etage différentiel de type-P

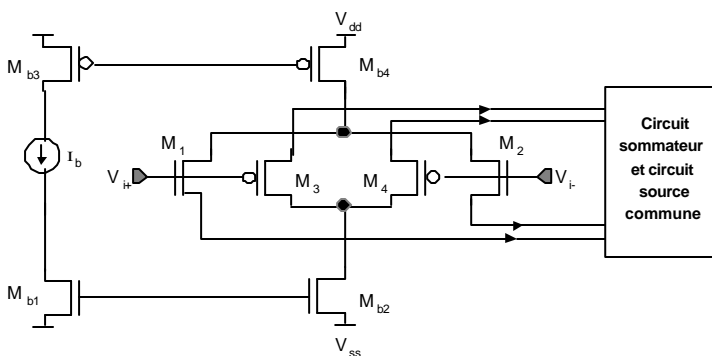


Figure 3. Etage d'entrée complémentaire simple N-P

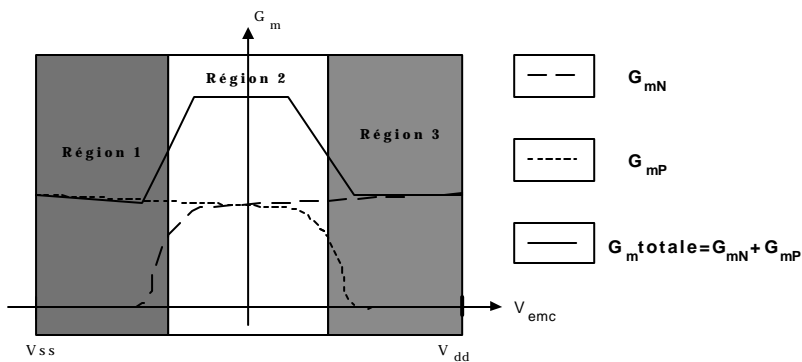
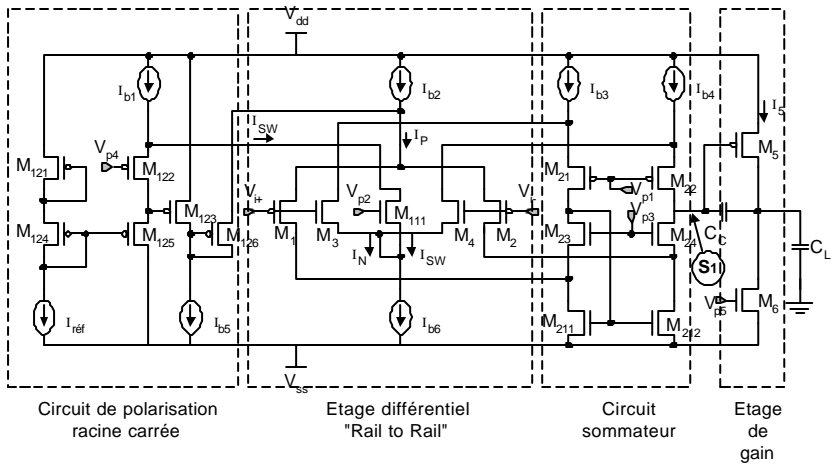
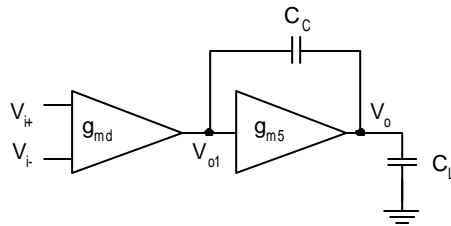


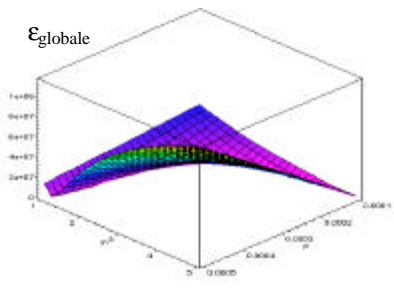
Figure 4. Transconductance en fonction de la tension d'entrée mode commun



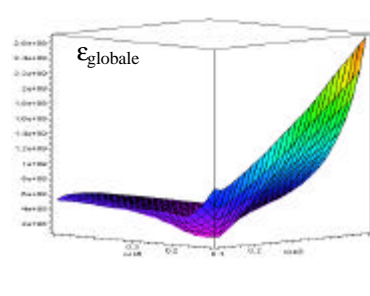
**Figure 5. Etage d'entrée complémentaire N-P avec circuit racine carrée**



**Figure 6. Schéma bloc d'un AOP à 2-étages**



**Figure 7. Fonction erreur globale en fonction de m et de P**



**Figure 8. Fonction erreur globale en fonction de ( $V_3, V_5$ )**

**Tableau 1. Cahier des charges**

<b>Technologie</b>	CMOS 0.35 $\mu$ m
<b>Tension d'alimentation (<math>\pm V_{dd}</math>)</b>	$\pm 0.75$
<b>Puissance consommée (P)</b>	0.18 mW
<b>Capacité de charge (<math>C_L</math>)</b>	1 pF
<b>Gain en DC (<math>A_O</math>)</b>	140 dB
<b>Gain - Bande passante (GB)</b>	8 MHz
<b>Marge de phase (<math>\ddot{O}_M</math>)</b>	60 °
<b>Slew Rate (SR)</b>	8 V/ $\mu$ s
<b>(CMR d'entrée)</b>	Rail-to-rail
<b>(CMR de sortie)</b>	Rail-to-rail

**Tableau 2. Valeurs numériques des tensions de saturation des transistors**

<b><math>V_{24}</math></b>	0.1 V
<b><math>V_6</math></b>	0.21 V
<b><math>V_{ib6}</math></b>	0.15 V
<b><math>V_{ib2} = V_{ib3}</math></b>	-100 mV
<b><math>V_{111}</math></b>	100 mV
<b><math>V_{121}</math></b>	0.15 V
<b><math>V_{22}</math></b>	-0.1 V
<b><math>V_{122}</math></b>	50 mV
<b><math>V_{ib1}</math></b>	-100 mV

**Tableau 3. Valeurs numériques des tensions de polarisation**

<b><math>V_{p1}</math></b>	0.45 V
<b><math>V_{p2}</math></b>	0.76 V
<b><math>V_{p3}</math></b>	1 V
<b><math>V_{p4}</math></b>	0.25 V
<b><math>V_{p5}</math></b>	0.74 V

**Tableau 4. Comparaison des performances**

CARACTERISTIQUES	SPECIFICATIONS	THEORIQUES	SIMULATION
<b><math>A_o</math> (dB)</b>	140	143	113
<b>GB (MHz)</b>	8	9	7.6
<b>SR (V/<math>\mu</math>s)</b>	8	10	7.8
<b><math>\ddot{O}_M</math> (°)</b>	67		67

**Tableau 5. Caractéristiques trouvées.**

	<b>SR</b>	<b>CMRR</b>	<b>PSRR</b>	<b>Voffset</b>	<b>CMR</b>	<b>Variation de <math>G_{m_{tot}}</math></b>
<b>SIMULATION</b>	$\pm 7.8$ V/ $\mu$ s	81 dB	76 dB	0.7 $\mu$ V	$\pm 0.7$ V	$\pm 6.5\%$

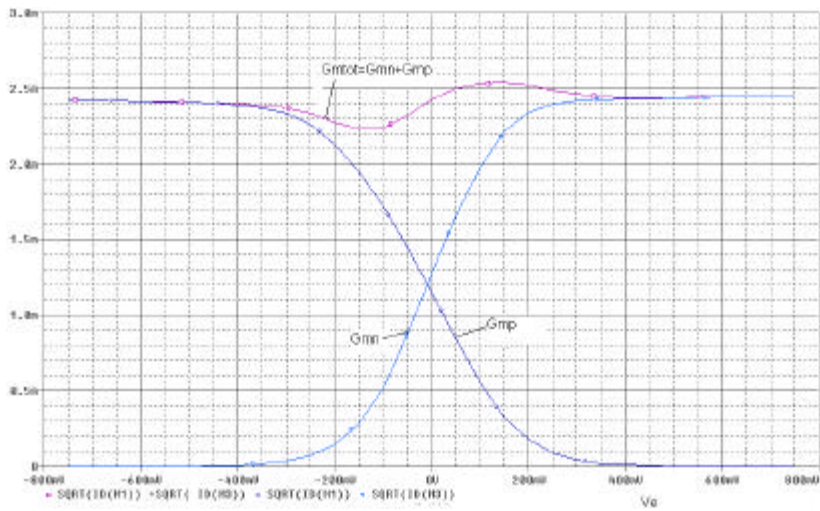


Figure 9 . Courbe de la transconductance  $G_{m_{tot}}$  en fonction de la tension mode commun

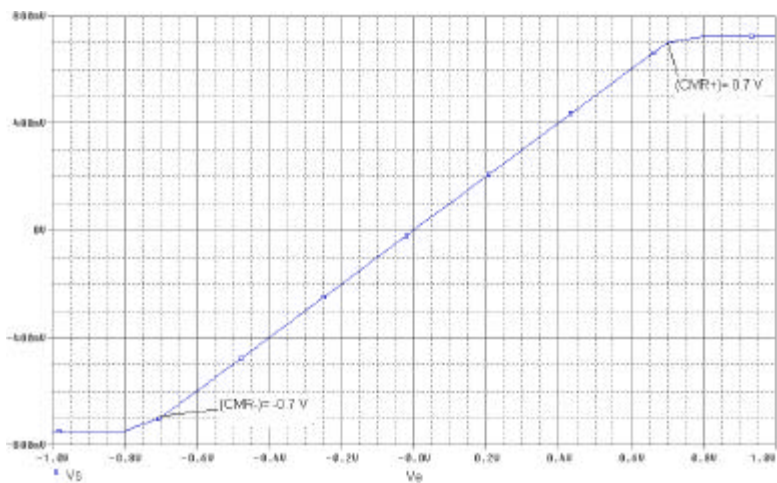


Figure 10. Caractéristique Statique de l'AOP.